

INTERNATIONAL TECHNOLOGY ROADMAP FOR SEMICONDUCTORS

2007 年版

リソグラフィ

THE ITRS IS DEVISED AND INTENDED FOR TECHNOLOGY ASSESSMENT ONLY AND IS WITHOUT REGARD TO ANY COMMERCIAL CONSIDERATIONS PERTAINING TO INDIVIDUAL PRODUCTS OR EQUIPMENT.

訳者まえがき

この文書は International Technology Roadmap for Semiconductors 2007 Edition(国際半導体技術ロードマップ 2007年版)の全訳である。

国際半導体技術ロードマップ(以下 ITRS と表記)は、米国、日本、欧州、韓国、台湾の世界5極の専門家によって編集・作成されている。日本では、半導体技術ロードマップ専門委員会(STRJ)が電子情報技術産業協会(JEITA)内に組織され、日本国内で半導体技術ロードマップについての調査活動を行うとともに、ITRS の編集・作成に貢献している。STRJ 内には 14 のワーキンググループ(WG: Working Group)、2 つのタスクフォース(設計タスクフォースと故障解析タスクフォース)、経済性検討小委員会が組織され、半導体集積回路メーカー、半導体製造装置メーカー、材料メーカー、大学、独立行政法人、コンソーシアムなどから専門家が集まり、それぞれの専門分野の調査活動を行っている。

ITRS は改版を重ねるごとにページ数が増え、2007年版は英文で約 1000 ページの文書となった。このような大部の文書を原文で読み通すことは専門家でも多大な労力を要するし、専門家であっても技術分野が少し異なると ITRS を理解することは必ずしも容易でない。STRJ の専門委員がその専門分野に応じて ITRS を訳出することで、ITRS をより親しみやすいものにすることができるのではないかと考えている。

なお、ITRS 2005 年版(英語の原書)までは、ウェブ公開とともに、印刷された本としても出版していたが、2007 年版以降、は印刷コストが大きくなってきたこと、ウェブ上で無料公開されている文書の出版版を本の形で有償頒布しても需要が限られることなどのため、印刷物の形での出版を断念し、ウェブ公開のみとなった。ITRS の読者の皆様にはご不便をおかけするが、ご理解願いたい。

訳文の作成は、STRJ 委員が分担してこれにあたり、JEITA の STRJ 担当事務局が全体の取りまとめを行った。訳語については、できる限り統一するように努めたが、なお、統一が取れていないところもある。また、訳者によって、文体が異なるところもある。ITRS の原文自体も多くは専門家による分担執筆であり、そもそも原文の文体も一定していないことも、ご理解いただきたい。誤訳、誤字脱字などが無いよう、細心の注意をしているが、短期間のうちに訳文を作成しているため、なお間違いが含まれていると思う。また、翻訳の過程で原文のニュアンスが変化してしまうこともある。訳文についてお気づきの点や、ITRS についてのご批判、ご意見などを事務局まで連絡いただければありがたい。

今回の訳出にあたっては、ITRS の本文の部分のみとし、ITRS 内の図や表の内部の英文は訳さないでそのまま掲載することとした。Executive Summary の冒頭の謝辞(Acknowledgments)に、ITRS の編集にかかわった方々の氏名が書かれているが、こども訳出せず、原文のままの表記とした。原文中の略語については、できるかぎり、初出の際に、「ITRS(International Technology Roadmap for Semiconductors)」のように()内に原義を示すようにした。英文の略号をそのまま使わないで技術用語を訳出する際、原語を引用したほうが適切と考えられる場合には、「国際半導体技術ロードマップ(ITRS: International Technology Roadmap for Semiconductors、以下 ITRS と表記)」「国際半導体技術ロードマップ(International Technology Roadmap for Semiconductors)」のように和訳の後に()内に原語やそれに対応する略語を表示した。本書の巻末に用語集(Glossary)も参照されたい。原文の括弧()があつてそれを訳するために括弧を使った場合もあるが、前後の文脈の関係で判別できると思う。また訳注は「【訳者注:この部分は訳者の注釈であることを示す】」のように【】内に表記した。また[]内の部分は、訳者が原文にない言葉をおぎなった部分であることを示している。訳文は厳密な逐語訳ではなく、日本語として読んで意味が通りやすいように意識している。ITRS のウェブ版ではハイパーリンクが埋め込まれているが、今回の日本語版ではハイパーリンクは原則として削除した。読者の皆様には不便をおかけするが、ご理解いただければ幸いである。

今回の日本語訳全体の編集は全体のページ数が膨大であるため、大変な作業となってしまいました。編集作業を担当いただいた、JEITA 内 STRJ 事務局の古川昇さん、恩田豊さん、近藤美智さん、明石理香さんに大変お世話になりました。厚くお礼申し上げます。

より多くの方に ITRS をご活用いただきたいとの思いから、今回の翻訳作業を進めました。今後とも ITRS と STRJ へのご理解とご支援をよろしくお願い申し上げます。

2008年5月

訳者一同を代表して

電子情報技術産業協会(JEITA)半導体部会 半導体技術ロードマップ専門委員会(STRJ) 委員長
石内 秀美(株式会社 東芝)

著作権について

ORIGINAL (ENGLISH VERSION) COPYRIGHT © 2007 SEMICONDUCTOR INDUSTRY ASSOCIATION

All rights reserved

ITRS • 2706 Montopolis Drive • Austin, Texas 78741 • 512.356.7687 • <http://public.itrs.net>
Japanese translation by the JEITA, Japan Electronics and Information Technology
Industries Association under the license of the Semiconductor Industry Association

ー引用する場合の注意ー

原文(英語版)から引用する場合： 2007 ITRS page XX, Figure(Table) YY
この和訳から引用する場合： 2007 ITRS JEITA 和訳 XX 頁,図(表)YY
と明記してください。

問合せ先：

社団法人 電子情報技術産業協会
半導体技術ロードマップ専門委員会 事務局
Tel: 03-5275-7258 mailto: roadmap@jeita.or.jp

TABLE OF CONTENTS

概要	1
困難な技術課題	4
リソグラフィー技術リクワイアメント	10
解決策候補	25
クロスカットニーズと技術課題解決策	27
環境、安全、および健康 (ESH)	27
工場統合 (Factory Integration)	27
歩留り向上 (Yield Enhancement)	27
計測 (Metrology)	28
モデリング・シミュレーション (Modeling and Simulation)	28
ITWG間に共通する議論	29
将来出現する研究デバイスおよび材料	29

LIST OF FIGURES

Figure LITH1	Plot of Normalized Cost of Ownership as a Function of Several Normalized Input Variables	2
Figure LITH2	Schematic Process Flows for Double Exposure, Double Patterning, and Spacer Double Patterning	6
Figure LITH3	Double Patterning: Uncorrelated Exposures versus Correlated Exposures— Critical Features	7
Figure LITH4	Double Exposure Cross-Section Showing Critical Dimensions	7
Figure LITH5	Lithography Exposure Tool Potential Solutions	26

LIST OF TABLES

Table LITH1	Various Techniques for Achieving Desired CD Control and Overlay with Optical Projection Lithography	4
Table LITH2	Lithography Difficult Challenges	9
Table LITH3a	Lithography Technology Requirements—Near-term Years	12
Table LITH3b	Lithography Technology Requirements—Long-term Years	13
Table LITH4a	Resist Requirements—Near-term Years	14
Table LITH4b	Resist Requirements—Long-term Years	14
Table LITH4c	Resist Sensitivities	15
Table LITH5a	Optical Mask Requirements—Near-term Years	16
Table LITH5b	Optical Mask Requirements—Long-term Years	17
Table LITH5c	EUVL Mask Requirements—Near-term Years	19
Table LITH5d	EUVL Mask Requirements—Long-term Years	20
Table LITH5e	Imprint Template Requirements—Near-term Years	22
Table LITH5f	Imprint Template Requirements—Long-term Years	23
Table LITH6a	Maskless Technology Requirements—Near-term	25
Table LITH6b	Maskless Technology Requirements—Long-term	25

リソグラフィ

概要

2007 年以降、急速なハーフピッチの縮小ペースを維持するためには、現在の光リソグラフィ技術を改良し延命するための課題の解決と平行して、光リソグラフィより経済的になったときに初めて使用される次世代リソグラフィ技術を開発することが要求される。高屈折率液浸レンズを用いる 193 nm 波長での投影露光技術の延命においても、多重露光技術の開発においても、重要な技術課題が残されている。非常に挑戦的な問題の技術的解決法が必要とされるだけでなく、設計コスト、プロセス開発コスト、マスクコスト、および装置とプロセスの CoO(Cost of Ownership)を含んだチップコストを経済的にすることが重要である。光リソグラフィの拡張と次世代リソグラフィ技術の開発には以下の分野における進歩が必要である。

- 露光装置
- レジスト材料と現像処理装置
- マスク製作、マスク製造装置、および材料
- CD(Critical Dimension)測定、重ね合せコントロール、および欠陥検査のための計測装置

本章はリソグラフィの困難な技術課題(Difficult Challenges)、技術要求、および解決策候補(Potential Solutions)を明確にする 15 年間のロードマップを提供する。更に本章では、リソグラフィ ITWG (International Technology Working Group[国際技術ワーキンググループ])と、設計(Design)、FEP(Front End Processing)、PIDS(Process Integration, Devices, and Structures)、ESH (Environment, Safety, and Health[環境、安全性、および健康])、YE(Yield Enhancement)[歩留り向上]、Metrology[測定]、Modeling & Simulation[モデリングおよびシミュレーション]の各 TWG とのクロスカット活動とそれぞれとの関わりを示した。

集積回路を製造する上での、リソグラフィの主要な要求は以下のとおりである。

- CD コントロール—設計される多くのパターンの大きさは正確に制御される必要がある。CD コントロールは、露光フィールド内、ウェーハ内とウェーハ間で達成される必要がある。CD コントロールは適切なトランジスタ性能と配線性能、さらにその結果としての総合的な回路性能を得るために必要である。
- 重ね合せ(Overlay)—適切な歩留りを達成するため、すべての場所で各チップが下の層に対し正確に位置決めされる必要がある。
- 欠陥制御—必要なパターンはすべての場所で正しく存在し、余分なパターンはどんなものであれ存在すべきでない。リソグラフィプロセスにおいて、新たにウェーハにパーティクルが付着することは許されない。
- 低コスト—装置、材料(レジストを含む)、およびマスクのコストは、CD コントロール、重ね合せ、および欠陥制御への要求が満足される間は、可能なかぎり低く抑える必要がある。コストを最小にするために、リソグラフィの各工程はできるだけ短い時間で実行されること、マスクはできるだけ多くのウェーハの露光に使用されること、装置は信頼性が高く、常にウェーハに露光できることが必要である。

デバイスを構成するレイヤのそれぞれがパターンニングを必要とするので、リソグラフィプロセスは集積回路の製造費用の主要な部分を占める。一般的には、少なくとも四層は入手可能な最先端リソグラフィ装置を必要とするクリティカル層である。これらは素子分離層あるいは活性層、ゲート層、ゲート、ソース、(そして)ドレインへのコンタクト層、そして、第一層目の配線層である。また、いくつかの下層配線層とビアホール層、トランジスタのチャネルのイオン注入層に最先端リソグラフィ装置が使われることもある。さらに新規デバイス構造ではいくつかのクリティカル層が新たに必要となるかもしれない。現在、リソグラフィ工程ではマスクとレジストに関連した検査・計測を含めると半導体製造費用の 30–40%を占める。この割合はプロダクトミックス、設計ごとの需要に伴う IC 製品生産規模、工場設備の経年に強く依存する。そして、CoO モデルがリソグラフィ技術とプロセスオプションを定量的に比較するのにしばしば用いられる。プロセスコストは一般的に 1 ウェーハあたり、プロセスレイヤ、またはチップあたりのコストで評価される。通常リソグラフィのコストはウェーハレベルでの露光費用で定量化される。リソグラフィの CoO、つまりウェーハレベルでの露光費用(PWLE: per wafer level exposed)は以下のように定量化できる。

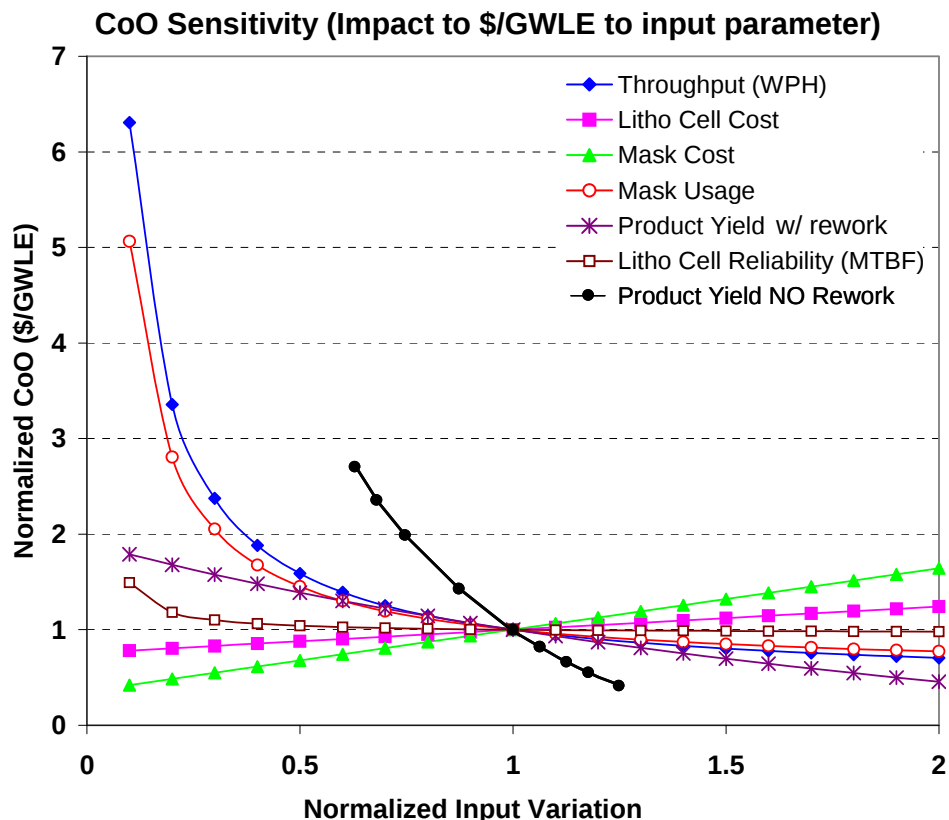


Figure LITH1

*Plot of Normalized Cost of Ownership as a Function of
Several Normalized Input Variables*

$$Cpwl = (C_e + C_l + C_f + C_c + C_r Q_{rw} N_c) / N_g + C_m / N_{wm}$$

ここで:

$Cpwl$ = ウェーハレベルの層あたりの露光コスト

C_e = 露光、レジストコート、およびパターン転写設備の一年あたりのコスト(減価償却、メンテナンス、およびインストールを含む)

C_l = 人件費(年間)

C_f = クリーンルームスペースの年間費用

C_c = 他の消耗品の費用(コンデンサ、レーザダイオード等)

C_r = レジスト費用(訳者注 Q_{rw} の単位あたり)

Q_{rw} = ウェーハ毎のレジスト量

N_c = レジスト塗布したウェーハ数

T_{net} = 正味の処理能力=生の処理能力*利用率

N_g = ウェーハレベルでの露光良品枚数(GWLE: good wafers levels exposed)

$= \int T_{net} Y_L dt$, Y_L = リソグラフィの歩留り、 t = 時間

C_m = マスクのコスト

N_{wm} = マスク毎の露光ウェーハ枚数

C_e はインストール費用を含む装置の価格から決まる。このコストは減価償却を通常定額で償却 5 年を仮定して考え、年毎に割り当てる。実際には、通常、CoO に大きく影響するのは、 C_e 、 T_{net} 、 C_m と N_{wm} である。図 LITH1 は正規化された CoO がこれらの多くの要素によってどう変わるかを示したものである。歩留りの影響がもっとも大きく、処理能力(T_{net})とマスクあたりの露光枚数(N_{wm})がそれについて影響する。リソグラフィセルのコストが増加しているにもかかわらず、より大きなビット集積度でも処理能力の向上があるため、ビットあたりのコストの低減が続いている。

マイクロエレクトロニクス産業の黎明期のころから、光リソグラフィは量産のためのメインストリーム技術とし

て使われ、さらに 32 nm ハーフピッチ世代まで使われることが期待されている。光リソグラフィの解像度は Rayleigh 方程式で記述される光の回折によって制限される。このような投影光学系で解像できる最小ハーフピッチ、 R は次式で与えられる:

$$R = k_1 \frac{\lambda}{NA} \quad [1]$$

ここで、 λ は露光波長、 NA は開口数で $n \sin \alpha_0$ で与えられる。 n は、レンズ-レジスト間の媒質、最後段のレンズ素子、レジストのうち最小の屈折率である。 α_0 は空気か真空中で投影される場合、レンズから投影像に到る光線の最大角の半分の角度である。 k_1 はレジスト性能、装置コントロール、レチクルのパターンやプロセスコントロールによって主に決まるプロセス定数である。ここで最小ハーフピッチより小さな寸法のラインパターンも転写できるということを指摘しておく。リソグラフィの物理的限界は隣接しているパターンの最小間隔、すなわちパターンピッチである。

フォーカスエラーまたはデフォーカスは、投影像の鮮明さとコントラストを下げ、レジストの CD を変化させ、そして露光余裕度を制限する。露光フィールド内の一点で予想されるフォーカス許容度、または焦点深度 (DOF: depth of focus) は以下で示される¹。

$$DOF = k_3 \frac{\lambda}{n \sin^2 \left[\frac{1}{2} \sin^{-1} \left(\frac{1}{n} \sin \alpha_0 \right) \right]} \quad [2]$$

ここで、 $n=1$ であり、 $NA < 0.8$ では DOF は以下となる。

$$DOF \approx k_2 \frac{\lambda}{NA^2} \quad [3]$$

定数(k_2 と k_3)は、装置、プロセス、パターンサイズ、およびパターン形状に依存している。したがって、光リソグラフィのトレンドは、より短い波長、より高い開口数を持つシステムと、より小さな k_1 で、より密度の高いパターンを形成することである。193 nm (ArF) や 193 nm (ArF) 液浸、および EUV (Extreme Ultraviolet) を用いた投影光学システムでは、リソグラフィの解像度と DOF のスケーリングは [1]–[3] 式に従う。

先端のクリティカル層のリソグラフィにおける主要技術であり続けるため、オフ軸照明 (OAI: off-axis illumination)、位相シフトマスク (PSM: phase shifting mask)、近接効果補正 (OPC: optical proximity correction) などの超解像技術 (RET: resolution enhancement technique) が 193 nm 波長の露光システムにおいても引き続き使われている。RET に加え、高 NA 化とレンズ収差の低減が光リソグラフィの延命のために要求されている。また最後段レンズ素子とウェーハ間を液体で満たす液浸法も光リソグラフィを拡張する手段として使用される。表 LITH1 に光リソグラフィを拡張するのに用いられる RET と手法の発展を示す。次に続く技術世代毎に OPC と RET の実装がより困難で高価になってくる。液浸液に水を用いることで、NA は 1.35 へ高めることが出来るが、1.35 を超える NA への拡張には、高屈折率材料が必要とされる。表 LITH3 に hp と必要とされる NA を示す。液体に要求される屈折率は、ほぼ $NA/0.93$ である。

32 nm ハーフピッチとそれ以降に対する要求は、おそらくは高屈折率液体、高屈折率レンズ材料、およびより高い屈折率のレジストが開発されない限り、あるいは、多重露光技術が適用されない限り、ArF リソグラフィの能力を超えている。32 nm ハーフピッチとそれ以降に対し、液浸リソグラフィを延命するオプションは、2 枚かそれ以上のマスクにパターンを分けることである。しかしながら、この方法は代替の技術より安価でなくてはならない。ロードマップを先まで延ばすためには、EUV、マスクレス (ML2: maskless lithography)、インプリント技術、そして、遠い将来は、DSA (directed self-assembly) のような次世代リソグラフィ (NGL: next-generation lithography) 技術の開発をおそらく必要とするであろう。次世代リソグラフィには実質的に新

¹ Burn Lin, “The k_3 coefficient in nonparaxial λ/NA scaling equations for resolution, depth of focus, and immersion lithography,” *Journal of Microlithography, Microfabrication and Microsystems* 1(1), 7–12, April 2002.

4 リソグラフィ

しいインフラストラクチャの開発が必要となるため、鍵となる課題は、それらを経済的な製造ソリューションとして提供できるかにある。

Table LITH1 Various Techniques for Achieving Desired CD Control and Overlay with Optical Projection Lithography

MPU M1 contacted ½ pitch	160 nm	120 nm	90 nm	65 nm	45 nm	32 nm
k_1 Range [A]	0.48–0.52	0.47–0.53	0.40–0.43	0.31–0.40	0.28–0.31	0.18-0.28
Design rules	Allow OPC and PSM, SRAF	Litho friendly design rules				
Restrictions (cumulative)		Pitch and orientation	Contact locations, library cells checked for OPC compatibility and printability	Features on grid	Restricted feature set	Double exposure compatible design
Masks (Optical proximity correction)	Model-based OPC (MBOPC) on critical layers, SRAF on gate layer	Model-based OPC w /SRAF on critical layers, verification of entire corrected layout with simulation		Model-based OPC with vector simulation, SRAF, polarization corrections	Model-based OPC with vector simulation, SRAF, polarization corrections, variation of OPC intensity by location in circuit?	Model-based OPC with vector simulation, SRAF, polarization corrections, variation of OPC intensity by location in circuit?, magnification increase?
(Gate and M1 layer mask type)	cPSM and EPSM		APSM, EPSM and hiT EPSM	APSM, hiT EPSM, dual dipole	APSM, hiT EPSM, double exposure with 2x larger pitch	
(Contacts/vias layers mask type)	EPSM		APSM, EPSM, HiT PSM			APSM, hiT EPSM, double exposure with 2x larger pitch
Resist						
Thickness	<400 nm	<350 nm	<280 nm	<225 nm	<160 nm	<120 nm
Substrate	ARC, hard masks		ARC, hard masks, top coats			ARC, hard masks, top coats, contrast enhancing layers
Etch	Post development resist width reduction					
Tool	Selection based on aberrations, automated NA/sigma control		Aberration monitoring			Aberration monitoring and adjustment
(Illumination)	Off-axis illumination	Quadrupole	Custom illumination	Custom illumination, polarization optimization		
(Dose control)	Cross wafer dose adjustments	Dose adjustment across the wafer and along scan				Dose adjustment across wafer, across slit, and along scan
(Process control (CD and overlay)	Automated process control with downloaded offsets			Automated process control with downloaded offsets, metrology integrated in lithography cell		

MBOPC—model based optical proximity correction

EPSM—embedded PSM HiT—high transmission

DE/DP—double exposure/processing

cPSM—complementary PSM

ARC—antireflection coating

APSM—alternating PSM

SRAF—sub-resolution assist features

表 LITH1 の注:

[A] 光リソグラフィまたは液浸リソグラフィが使用されていると仮定。

困難な技術課題

最小ハーフピッチの縮小を継続するために必要で、最も難しい 10 の困難な技術課題を表 LITH2 に示す。多くの挑戦は、スケーリングだけでなく、ばらつきの制御を伴っている。ばらつきの制御は、寸法のスケーリングを維持するだけでなく、しばしば、寸法のスケーリング以上に急速に改善することが必要である。マスク製造能力とマスクコストの増大は、リソグラフィの今後の発展に重要であり継続的に注力する必要がある。以前の挑戦的なロードマップの加速の結果、特に MPU のゲート線幅 (ポストエッチ)、および低い k_1 リソグラフィによる MEEF(mask error enhancement factor)値の増加のため、マスクの線幅コントロールが特に顕著な課題として持ち上がってきた。複雑な OPC と PSM 構造のマスクの作製に対し、マスク製造装置とプロセスの能力は整ったが、一方で、ポスト 193 nm 用のマスクプロセスは、研究開発段階にある。欠陥制御、CD コントロールとパターン位置精度の難しさは、世代毎に大幅に増しており、より性能の高いマスク製造装置の開発が必要とされている。先端マスクの製造施設の数少なく、これらの装置サプライヤがますます複雑化する装置を開発することが困難になっている。静電放電(ESD: electrostatic discharge)によるマスク損傷は長い間課題であったが、マスクパターンサイズの縮小により、より込み入った問題になると予想される。多

数のウェーハ露光後に有機や無機の堆積物がマスクに形成される成長性欠陥も問題が大きくなってきた。

これまで 1×、5×、および 10×のマスク倍率も用いられてきたが、主流となっている 4×のマスク倍率ではマスク作製の課題とバランスした上でウェーハ上の露光フィールドを最大にできる。しかし、いくつかの問題からマスク倍率を大きくするという議論が繰り返されている。マスクのコストは複雑な RET が一般的に使用されるようになったため大幅に高くなっており、より大きな倍率のマスクは 4×マスクよりかなり安くなるかもしれない〔訳者注：マスク上のパターン寸法が大きいためマスク製造が容易になるため〕。ドライ露光での $NA>0.9$ や液浸リソグラフィでの $NA>1.2$ ではレンズの大きさと体積が急激に大きくなる。ステージ速度と露光装置の生産性は著しく改善されたため、より小さな露光フィールドサイズでもより良いスループットが得られるかもしれない。さらに 4×マスクにおけるマスク構造の寸法は今や波長と同程度あるいはそれよりも小さくなっており、これらのパターンは透過光の一部を偏光する。寸法が波長の 0.5 倍から 2 倍の範囲では、透過光の一部は TE(Transverse Electric)偏光される。マスクのすべての場所で完全に均一な偏光照明とならないため、システムのドーズ分布としてこの偏光が現れる。ハーフトーンマスクやレベンソン型マスクのような超解像マスクを設計するソフトウェアには、より複雑で厳密な電磁気モデルが必要とされるであろう。最終的にはマスク構造による偏光現象は、産業界を 4 倍より大きなマスク倍率を精力的に検討するよう導くかもしれない。しかし、マスクコストとレンズコストを下げると、高いマスク倍率によって使える露光フィールドサイズが小さくなるため、ステッチングせずに製造できるように設計されるチップのサイズに影響するであろう。

CD コントロールへの要求を達成するために、RET やパターン設計への制限、さらに APC(automated process control)が表 LITH1 に示されるように用いられる。光リソグラフィのもっと先への拡張を実現するためには、設計プロセスにおいて、形状寸法のわずかな変化が CD 変動を増大させることをよく理解することが必要である。これらの手腕は、DFM(design for manufacturing)の手腕として一般的に示される。DFM は設計者に回路設計の最適化において製造ばらつきを考慮させ、さらに IC 製造プロセスを最も高い性能と最小コストで提供するために最適化させる。究極的には設計者は製造プロセスにおけるすべての物理的な揺らぎとその統計分布の知見を持って回路を最適化できるかもしれない。最も簡単なレベルでは、設計者は製造において収率の良いライブラリセルを意識するようになっていく。さらにリソグラフィ、エッチング、および CMP プロセスのシミュレーションは、レイアウト上で製造ばらつきに最も影響されやすいウィークスポットがないかどうかチップ全域を調べるのに使用されつつある。これらのウィークスポットの座標はマスクとウェーハの CD 測定装置に提供される。フォーカスと露光はテストパターンではなくウィークスポットのプロセス余裕度を最大にするように最適化される。転写されたウィークスポット部の形状はパターン忠実度の観点で評価されることが必要であろう。そして、これらのウィークスポットはレイアウト変更と製造プロセスにおけるモニタリングの対象とされる。ウィークスポットのソフトウェアによる解析とセルの物理レイアウトへのフィードバックの自動化は EDA サプライヤによって積極的に推し進められている。DFM ツールとその技術は、ウェーハファブでマスクの改版を最小にし、適正な歩留りを達成するために不可欠になるであろう。DFM に関する詳しい情報は設計の章を参照のこと。

リソグラフィ技術は高密度のパターニングを可能にすることによって集積回路の機能あたりの大きなコスト削減を支えてきたが、コストと投資利益率 (ROI)をこれまでの実績レベルに維持することははいよいよ困難になっている。マスクとリソグラフィコストに関するこれらの課題は次世代リソグラフィのみならず光リソグラフィでも同様である。光リソグラフィをさらに延命するためには水や高屈折率の液浸液の下で高いパターン忠実度と高いエッチング耐性を有する新しいレジストを必要とする。より複雑なマスクが要求され、そのマスクの作製には新しく改良されたマスク製造装置と材料が必要とされるであろう。450 mm ウェーハへの移行においては露光装置のステージ設計やトラック〔訳者注：コーター・ディベロッパ〕のコーティング技術における進歩が必要である。これらの改良はさらなる開発費用を必要とするであろう。

MPU におけるゲート CD コントロールへの要求はリソグラフィのプロセスコントロールに対し多くの角度から影響を与える。これにはレンズ、トラック、レジスト材料、およびメトロロジが含まれる。特に重ね合せと CD のためのプロセスコントロールは重要な課題である。さらに、微細なゲート幅につきもののラフネスは、分離出来ない成分として、寸法均一性(CDU)に加えられ始めている。プロセスコントロールの基本となるメトロロジが開発と量産の両方に求められる将来の必要条件を適切に満たせるかは明確ではない。レジストの LER(line edge roughness)はゲートの線幅制御がレジストのポリマー程度の大きさになってきたため重要になりつつある。次世代リソグラフィは、露光装置がこれまで製造に一度も使用されなかった手法に基

づいているため、詳細で慎重な取扱いを必要とするだろう。これらの装置は、開発するだけでなく、コスト効果に優れた製造のための信頼性と稼働率を満たすことを確認する必要がある。

液浸リソグラフィの導入は多くの新しい課題をもたらした。スキャン時や露光、または液供給と回収、さらにはリサイクル過程で発生するバブルを液浸液からなくすることが必要である。液浸液はウェーハ上に残ることもあり、それはステインを引き起こす。またレジストと液浸液やトップコート材との相性も必要である。ArF 液浸リソグラフィを 45 nm ハーフピッチ世代より先まで引き延ばすためには、水よりも高い屈折率(>1.44)の液と CaF_2 や合成石英 (>1.56)より高い屈折率のレンズ材料が必要である。これらの材料は、液浸リソグラフィ環境への適合性と投影像形成に対するすべての要求を満たす必要がある。

一重露光で、解像力とばらつきの要求にこたえる挑戦は、それぞれのデバイスの層を多重露光を用いて形成する本格的な提案に結びついている。Alt-PSM と Trim 露光、ダブルダイポール露光など、幾つかの二重露光技術は、既に生産に使われている。これらの技術は回折限界($k_1=0.25$)に迫る解像力を提供する。現在検討されている新しい二重露光技術は、一重露光の回折限界を超える転写を実現すべく設計考慮され、これらは、更なる特殊な多重露光技術の適用により、新たなリソグラフィに関する要求を伴う。ロードマップでは、明確に、Double Exposure(DE)は、二回の露光をひとつの材料に行い、ただ一回のエッチング工程で、Double Patterning(DP)は、ひとつのデバイスの層を、二つの別の露光とエッチングを用いて形成すると定義している。それ故、DP における最終的な CDU のバジェットには、DE にはないエッチングバイアスのマッチングという新たな要求が加わる。別の分類の DP は、スペーサーに似たプロセスで、ひとつのリソグラフィ工程に続いて、薄膜のデポとエッチングの工程を使って、二組のクリティカルなパターンを形成する。スペーサーダブルパターンニングは、露光工程を削減するが、ひとつの露光がパターンの位置を決めるため、許されるパターンは限定される。この単一の露光と複数のエッチングプロセスに対する要求は、2008 ITRS update に含める。

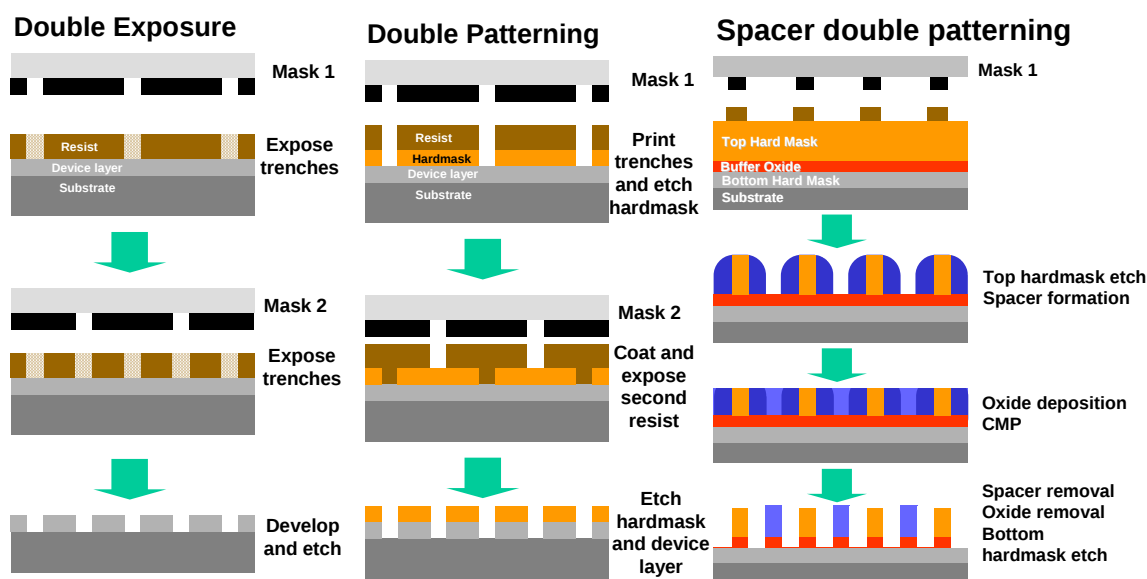


Figure LITH2

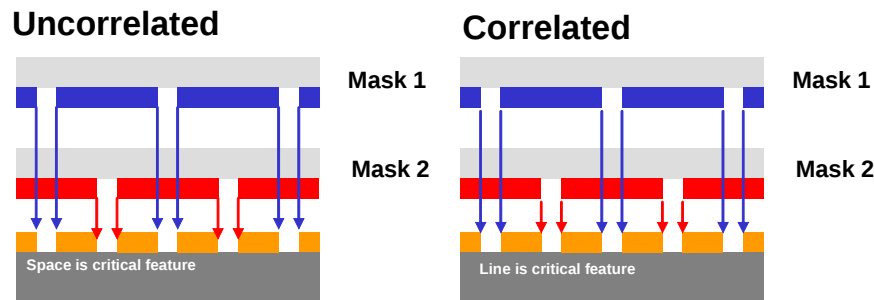
Schematic Process Flows for Double Exposure, Double Patterning, and Spacer Double Patterning

パターンニングの差に加えて、DE も DP も、一つのマスクの像で、あるいは、二つのマスクの像の組み合わせで、クリティカルなデバイスパターンが形成されるかの二つケースに分けることが出来る。第一のケースは、二つの露光工程が個別にパターンを形成するもので、よくあるケースである。その層全体の CD と Overlay は、それぞれの露光からなる相関のない分布の組み合わせにより構成される。それゆえ、デバイスの層を決めるマスクは、それぞれ、その層を単一のマスクで形成する場合に比べて厳しい CD とマスクパターン配置の制御を確保しなければならない。図 LITH4 では、ネガ型レジストプロセスを示した。ライン、 w は、クリティカルなパターンで、 w_1 、 w_2 は、それぞれ、第一の露光及び第二の露光で形成されるパターンを示している。二つの露光の重ね合わせエラー、 x は、クリティカルなパターンのサイズに影響しない。それぞれの露

光による CD の変動は、相関が無く、ランダムなばらつきと推測されることから、全体の CD 変動は、[4]となる。

$$\delta w_{Total}^2 = \delta w_1^2 + \delta w_2^2$$

[4]



DP では、相関のないそれぞれの露光により、クリティカルなパターン(スペース)が個別に決まり(左)、二つの露光が並置されて相関関係のある露光(右)により、クリティカルパターン(ライン)が決まる。

Figure LITH3 Double Patterning: Uncorrelated Exposures versus Correlated Exposures—Critical Features

相関関係の無い露光では、それぞれのマスクがクリティカルパターンの母集団の成分を決定し、それぞれの成分は、独立している。相関関係のある露光では、それぞれの露光は、クリティカルパターンのエッジの一方を形成し、パターンのクリティカルサイズのは決定には、二つの露光が必要になる。

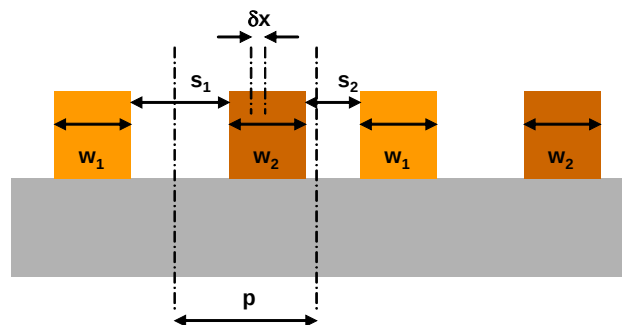


Figure LITH4 Double Exposure Cross-Section Showing Critical Dimensions

w_1 と w_2 の形状は、重ねあわせエラー δx を有する二つの露光により決まり、結果として、スペース s_1 、 s_2 が得られる。デバイスのピッチは、 p である。

二つの露光工程が重なって、それぞれデバイスのクリティカルパターンを形成する相関のある露光のケースでは、CDU のバジェットに、今やオーバーレイを含めなければならない。なぜなら、CDU 要求は通常、重ねあわせよりも厳しいからで、これは、今までに無い重ねあわせとマスクパターンの位置精度の要求となる。図では、スペース s がクリティカルパターンである。クリティカルスペースの全成分は、重ねあわせエラー x でサイズが増える s_1 と減少する s_2 で構成される。

$$s_{1,2} = p - \frac{1}{2}(w_1 + w_2) \pm \delta x$$

[5]

それゆえ、スペースサイズのエラーは、(ここには示さない)エッチバイアスの変動のみでなく、両方の露光 (w_1 と w_2) と重ねあわせエラー (δx) の影響を受ける。

EUV リソグラフィは 22 nm ハーフピッチ世代から始まる、場合によっては 32 nm ハーフピッチ世代から製造に使われる単一露光の解を与えることが予想されている。EUV リソグラフィは 13.5 nm の波長を使用する超高

真空中で働く 1/4 縮小の投射光学技術である。この波長ではすべての材料で非常に吸収が大きいため、投影光学系はすべて反射鏡によって構成される。その反射鏡は 13.5 nm で反射率を高めるため多層膜がコーティングされている。EUV リソグラフィを導入するための主な技術的ハードルのアウトラインは表 LITH2 に示されている。そこには以下の課題があげられている。低欠陥密度のマスクブランクス作製のプロセス、高出力パワー、高信頼性の EUV 光源、十分な寿命の集光光学系、照明光学系と投射光学系の全てのミラーの汚染制御、13.5 nm 波長での高い投影像品質のための反射鏡の形状と表面仕上げ、十分小さな LWR(line width roughness)と高感度を併せ持つレジスト、およびペリクルレスで欠陥からのマスクの保護。また、EUV リソグラフィは光リソグラフィと混用されるため、重ね合せのために適切な方策が開発される必要がある。

長期(Longer Term)においては、重ね合せ、欠陥、CD コントロールに対するプロセス要件への要求がプロセスコントロール、レジスト開発、マスク開発における課題を継続的に引き起こすであろう。マスクレスリソグラフィが使用される場合には、マスク検査におけるダイ to データベース検査がウェーハのダイ to データベース検査に置き換えられることがたぶん要求される。インプリントリソグラフィのテンプレート〔訳者注：光リソグラフィでのマスクに相当〕は、ウェーハ上のパターンと同じ大きさが必要なため、その作製はチャレンジングである。レジスト材料もかなりの改良を必要であろう。液浸リソグラフィを延命するためには、最終的にはレジストにもより高い屈折率が必要となるだろう。光酸発生剤や無反射コート材料に使用されている PFAS(perfluoroalkyl sulfonate)化合物の代替材料も見つけなければならない。拡散距離が小さくできるか、感光機構の新たな手法がない限り、化学増幅レジストの酸拡散は高感度レジストにおける最小ハーフピッチを制限するかもしれない。また、均一な線幅に向けた本質的に高い寸法制御性と小さな LWR とを有するレジスト材料も必要となろう。

Table LITH2 *Lithography Difficult Challenges*

<i>Difficult Challenges ≥ 32 nm*</i>	<i>Summary of Issues</i>
Optical masks with features for resolution enhancement and post-optical mask fabrication	Registration, CD, and defect control for masks
	Equipment infrastructure (writers, inspection, metrology, cleaning, repair) for fabricating masks with sub-resolution assist features
	Understanding polarization effects at the mask and effects of mask topography on imaging and optimizing mask structures to compensate for these effects
	Eliminating formation of progressive defects and haze during exposure
	Determining optimal mask magnification ratio for <32 nm half pitch patterning with 193 nm radiation and developing methods, such as stitching, to compensate for the potential use of smaller exposure fields
	Development of defect free $1\times$ templates
Cost control and return on investment	Achieving constant/improved ratio of exposure related tool cost to throughput over time
	Cost-effective resolution enhanced optical masks and post-optical masks, and reducing data volume
	Sufficient lifetime for exposure tool technologies
	Resources for developing multiple technologies at the same time
	ROI for small volume products
	Stages, overlay systems and resist coating equipment development for wafers with 450 mm diameter
Process control	Processes to control gate CDs to < 1.3 nm 3σ
	New and improved alignment and overlay control methods independent of technology option to <5.7 nm 3σ overlay error
	Controlling LER, CD changes induced by metrology, and defects < 10 nm in size
	Greater accuracy of resist simulation models
	Accuracy of OPC and OPC verification, especially in presence of polarization effects
	Control of and correction for flare in exposure tool, especially for EUV lithography
	Lithography friendly design and design for manufacturing (DFM)
Immersion lithography	Control of defects caused in immersion environment, including bubbles and staining
	Resist chemistry compatibility with fluid or topcoat and development of topcoats
	Resists with index of refraction > 1.8
	Fluid with refractive index > 1.65 meeting viscosity, absorption, and fluid recycling requirements
	Lens materials with refractive index > 1.65 meeting absorption and birefringence requirements for lens designs
EUV lithography	Low defect mask blanks, including defect inspection with < 30 nm sensitivity and blank repair
	Source power > 180 W at intermediate focus, acceptable utility requirements through increased conversion efficiency and sufficient lifetime of collector optics and source components
	Resist with < 3 nm 3σ LWR, < 10 mJ/cm ² sensitivity and < 40 nm $\frac{1}{2}$ pitch resolution
	Fabrication of optics with < 0.10 nm rms figure error and $< 10\%$ intrinsic flare
	Controlling optics contamination to achieve $>$ five-year lifetime
	Protection of masks from defects without pellicles
Double patterning	Overlay of multiple exposures including mask image placement, mask-to-mask matching, and CD control for edges defined by two separate exposures
	Availability of software to split the pattern, apply OPC, and verify the quality of the split while preserving critical features and maintaining no more than two exposures for arbitrary designs
	Availability of high productivity scanner, track, and process to maintain low cost-of-ownership
	Photoresists with independent exposure of multiple passes
	Fab logistics and process control to enable low cycle time impact that include on-time availability of additional reticles and efficient scheduling of multiple exposure passes

*Lithography challenges ≥ 32 nm versus the convention of the 2007 ITRS for challenges of ≥ 22 nm will be reviewed in the 2008 Update.

Table LITH2 Lithography Difficult Challenges (continued)

Difficult Challenges < 32 nm*	Summary of Issues
Mask fabrication	Defect-free masks, especially for 1× masks for imprint and EUVL mask blanks free of printable defects
	Timeliness and capability of equipment infrastructure (writers, inspection, metrology, cleaning, repair), especially for 1× masks
	Mask process control methods and yield enhancement
	Protection of EUV masks and imprint templates from defects without pellicles
	Phase shifting masks for EUV
Metrology and defect inspection	Resolution and precision for critical dimension measurement down to 6 nm, including line width roughness metrology for 0.8 nm 3σ
	Metrology for achieving < 2.8 nm 3σ overlay error
	Defect inspection on patterned wafers for defects < 30 nm, especially for maskless lithography
	Die-to-database inspection of wafer patterns written with maskless lithography
Cost control and return on investment	Achieving constant/improved ratio of exposure-related tool cost to throughput
	Development of cost-effective optical and post-optical masks
	Achieving ROI for industry with sufficient lifetimes for exposure tool technologies and ROI for small volume products
Gate CD control improvements and process control	Development of processes to control gate CD < 0.9 nm 3σ with < 1.2 nm 3σ line width roughness
	Development of new and improved alignment and overlay control methods independent of technology option to achieve < 2.8 nm 3σ overlay error, especially for imprint lithography
	Process control and design for low k1 optical lithography
Resist materials	Resist and antireflection coating materials composed of alternatives to PFAS compounds
	Limits of chemically amplified resist sensitivity for < 32 nm half pitch due to acid diffusion length
	Materials with improved dimensional and LWR control

*Lithography challenges <32nm versus the convention of the 2007 ITRS for challenges of <22nm will be reviewed in the 2008 Update.

リソグラフィ技術リクワイアメント

リソグラフィロードマップの必要項目は以下のテーブルで定義される:

- リソグラフィ要求(表 LITH3a と b)
- レジスト要求(表 LITH4a、b、および c)
- マスク要求(表 LITH5a-f)

MPU の小さなゲート長(エッチング後)に向けた要求はメトロロジとプロセスコントロールのための重要な課題を生み出す。エッチング後の最終ゲート CD を従来の許容値±12%で制御することははいよいよ困難になってきた。この 12%には、デバイスの全て方向の、全てのクリティカルパターンの、フィールド内、ウェーハ内、ウェーハ間、ロット間の変動が含まれている。現像後のライン幅の縮小処理技術はより一般的で、より有効になっている。レジストパターンを大きく形成することは、リソグラフィプロセスにおいて大きなプロセスウインドウを獲得でき、CD コントロールを改善できる。また、LSI 製造メーカーは、パターンニングをより実現可能にするため設計ルールを変更ししつつある。メトロロジはこれらのリソグラフィフレンドリなデザインルールを定義する上で重要な役割を果たすだろう。また、LER と LWR の素子性能への影響が明確に現れるようになるため、メトロロジ機器はこれらの値を正確に計測できるように改良される必要がある。LWR の高周波成分は、不純物プロファイルや配線抵抗に影響する。大きな空間領域(訳者注 低空間周波数領域を指す)における LWR はデバイスの活性領域上のトランジスタゲート長の変動の原因となる。この変動は、トランジスタのリーク電流を増加させ、個々のトランジスタのスピードのばらつきとなり、IC のタイミング問題の原因となる。ラインの幅と LER もまた、小さなゲートの CDU エラーバジェット、長い LER/LWR Correlation Length に関係する。LER/LWR の CDU への寄与分は、従来のロードマップで要求されていた LER/LWR の数字より過激な数値の要求に至る (これは、2008 ITRS update で処理される)。)。コンタクトホール形成ではエッチング後のコンタクトホールの寸法は、リソグラフィ後のレジスト寸法よりさらに小さくなる。これは転写像と最終の MPU のゲート幅の差異と同様である。表 LITH3a と b を参照のこと。

良好なパターン忠実度と線幅コントロール、小さな LWR、そして低欠陥性を有するフォトリソレジストが開発される必要がある。形状寸法がより小さくなるため、欠陥とモノマーは同程度の大きさになり、レジストのフィ

ルタリングにも影響するであろう。表 LITH4a-c を参照のこと。

マスクへの要求はクリティカル層に対するものである。初期の生産量は比較的少ないと考えられ、作製することが難しい。すべての次世代リソグラフィ(NGL)用マスクは光学マスクと異なっており、さらにいずれのNGL 技術もペリクルを使うことはできない。NGL マスクの要求は光学リソグラフィのそれらと実質的に異なっているので、光学マスク、EUV マスク、およびインプリントテンプレートについて別々の表が用意された(それぞれ、表 LITH5a と b、表 LITH5c と d、表 LITH5e と f)。EUV とインプリントの要求をカバーする後者の表は光学マスクと共通の一般的な要求と、各技術に特定のものとで記述されている。インプリントはいくつか形態があるので、ここでは紫外線によってテンプレートを満たした液体を硬化させるという紫外線ナノインプリント (UV-NIL)の要求をまとめてある。また、EUV マスクには厳しい平坦性コントロールが必要であり、さらにマスクの反射率に関する様々なパラメータの要求が加えられている。EUV マスクブランクスには、小さな欠陥も許されないため、新しい検査装置と低欠陥プロセスの開発が必要とされる。インプリント用テンプレートにはウェーハ上での形状と同じ寸法の表面凹凸が必要であるが、CD、パターン配置、および欠陥をコントロールする必要がある領域は他の技術での 4×マスクより 1/16 と小さい。とは言え、これらのマスクの欠陥検査は難しいであろう。EUV マスクやインプリントテンプレートにはペリクルが使用できないため、保管、搬送、露光装置での使用の間に欠陥からマスクを保護するための解決法が開発され、テストされる必要がある。これらの異なった NGL マスク要求は光学マスクで既に問題となっているマスクのコスト上昇を緩和するよりもむしろ悪化させると予想される。CD コントロールと重ね合せの許容幅は達成することが最も難しい要求である。重ね合せ許容幅は、高い歩留りでメモリ回路を作るためにより厳しくなった。レンズの歪による重ね合せ誤差の影響を除くため、単一装置が同一ウェーハの複数のクリティカル層を焼き付けるために使用されるかもしれない。フィードバックとフィードフォワードの両方の手法が、プロセス装置(ステップ/スキャナとトラック)によってサポートされる必要がある。非線形性の強い一連の補正モデルとアルゴリズムに従って処理するため自動化フレームワークと CIM システムが必要である。自動プロセス制御(APC)への要求については Factory Integration とクロスカットの節で詳細に議論する。

Table LITH3a

Lithography Technology Requirements—Near-term Years

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
DRAM ½ pitch (nm) (contacted)	65	57	50	45	40	36	32	28	25
DRAM and Flash									
DRAM ½ pitch (nm)	65	57	50	45	40	36	32	28	25
Flash ½ pitch (nm) (un-contacted poly)	54	45	40	36	32	28	25	23	20
Contact in resist (nm)	72	62	55	50	44	39	35	31	28
Contact after etch (nm)	65	57	50	45	40	36	32	28	25
Overlay [A] (3 sigma) (nm)	13	11.3	10.0	9.0	8.0	7.1	6.4	5.7	5.1
CD control (3 sigma) (nm) [B]	5.6	4.7	4.2	3.7	3.3	2.9	2.6	2.3	2.1
MPU									
MPU/ASIC Metal 1 (M1) ½ pitch (nm)	68	59	52	45	40	36	32	28	25
MPU gate in resist (nm)	42	38	34	30	27	24	21	19	17
MPU physical gate length (nm) *	25	23	20	18	16	14	13	11	10
Contact in resist (nm)	84	73	64	56	50	44	39	35	31
Contact after etch (nm)	77	67	58	51	45	40	36	32	28
Gate CD control (3 sigma) (nm) [B] **	2.6	2.3	2.1	1.9	1.7	1.5	1.3	1.2	1.0
Chip size (mm ²)									
Maximum exposure field height (mm)	26	26	26	26	26	26	26	26	26
Maximum exposure field length (mm)	33	33	33	33	33	33	33	33	33
Maximum field area printed by exposure tool (mm ²)	858	858	858	858	858	858	858	858	858
Wafer site flatness at exposure step (nm) [C]	63	54	50	45	40	32	29	22	17
Number of mask levels MPU	33	35	35	35	35	35	35	37	37
Number of mask levels DRAM	24	24	24	26	26	26	26	26	26
Wafer size (diameter, mm)	300	300	300	300	300	450	450	450	450
NA required for Flash (single exposure)	1.01	1.20	1.35	1.52	1.70	1.91			
NA required for logic (single exposure)	0.91	1.04	1.20	1.38	1.54	1.73	1.94		
NA required for double exposure (Flash)	0.72	0.86	0.96	1.08	1.22	1.36	1.53	1.72	1.93
NA required for double exposure (logic)	0.62	0.72	0.82	0.95	1.06	1.19	1.34	1.50	1.68

*MPU 物理ゲート長の数値とカラーはいくつかのワーキンググループと OTRC によって決定された。(2008 版では、技術動向に即した緩和の改訂を検討している。訳者注)

**今後 3 年間における赤色の例外： 解決策は知られていないが、製造することを妨げるものではない。(訳者注)

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

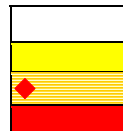


Table LITH3b

Lithography Technology Requirements—Long-term Years

Year of Production	2016	2017	2018	2019	2020	2021	2022
DRAM ½ pitch (nm) (contacted)	22	20	18	16	14	13	11
DRAM and Flash							
DRAM ½ pitch (nm)	23	20	18	16	14	13	11
Flash ½ pitch (nm) (un-contacted poly)	18	16	14	13	11	10	9
Contact in resist (nm)	25	22	20	18	16	14	12
Contact after etch (nm)	23	20	18	16	14	13	11
Overlay [A] (3 sigma) (nm)	4.5	4.0	3.6	3.2	2.8	2.5	2.3
CD control (3 sigma) (nm) [B]	1.9	1.7	1.5	1.3	1.2	1.0	0.9
MPU							
MPU/ASIC Metal 1 (M1) ½ pitch (nm)	23	20	18	16	14	13	11
MPU gate in resist (nm)	15	13	12	11	9	8	8
MPU physical gate length (nm) *	9	8	7	6	6	5	4
Contact in resist (nm)	28	25	22	20	18	16	14
Contact after etch (nm)	25	23	20	18	16	14	13
Gate CD control (3 sigma) (nm) [B] **	0.9	0.8	0.7	0.7	0.6	0.5	0.5
Chip size (mm ²)							
Maximum exposure field height (mm)	26	26	26	26	26	26	26
Maximum exposure field length (mm)	33	33	33	33	33	33	33
Maximum field area printed by exposure tool (mm ²)	858	858	858	858	858	858	858
Wafer site flatness at exposure step (nm) [C]							
Number of mask levels MPU	39	39	39	39	39	39	39
Number of mask levels DRAM	26	26	26	26	26	26	26
Wafer size (diameter, mm)	450	450	450	450	450	450	450
NA required for Flash (single exposure)							
NA required for logic (single exposure)							
NA required for double exposure (Flash)							
NA required for double exposure (logic)							

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

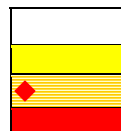


表 LITH3a と b の注:

[A] Overlay (nm) — Overlay はウェーハのあらゆるポイントで定義された X と Y 方向のベクトル量である。基板側の特定位置 P1、それに対応する重ね合わせるパターン(レジストのこともある)の位置 P2 とすると overlay は $O=P1-P2$ で与えられる。O は X と Y 方向のそれぞれのベクトル成分で表され、その値はウェーハ上の標準偏差の 3 倍で示される。

[B] CD control (nm) — すべてのパターンピッチでの平均線幅目標と比べた CD の管理。すべてのリソグラフィによる原因(マスク、不完全な光学近接効果補正、露光装置、およびレジストによるもの)による誤差と空間的な要因(例えば、露光フィールド内分布、ウェーハ内及びウェーハ間、さらにロット間の分布)を含む。

[C] Wafer site flatness (nm) — スキャナー/トラッククラスターに到着したウェーハのスキャナーにより、スリット及びスキヤン方向の傾きを補正した後の、スキャナー露光幅 26 mm×10 mm における残留ウェーハ凹凸(peak-valley)。

Table LITH4a

Resist Requirements—Near-term Years

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
DRAM ½ pitch (nm) (contacted)	65	57	50	45	40	36	32	28	25
Flash ½ pitch (nm) (un-contacted poly)	53.5	45.0	40.1	35.7	31.8	28.3	25.3	22.5	20.0
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	68	59	52	45	40	36	32	28	25
MPU physical gate length (nm) [after etch]	25	23	20	18	16	14	13	11	10
MPU gate in resist length (nm)	42	38	34	30	27	24	21	19	17
Resist Characteristics *									
Resist meets requirements for gate resolution and gate CD control (nm, 3 sigma) **†	2.6	2.3	2.1	1.9	1.7	1.5	1.3	1.2	1.0
Resist thickness (nm, single layer) ***	105-190	90-160	80-145	70-130	60-115	55-100	50-90	45-80	40-75
PEB temperature sensitivity (nm/C)	1.75	1.5	1.5	1.5	1.5	1.5	1	1	1
Backside particle density (particles/cm ²)	0.28	0.28	0.28	0.28	0.28	0.28	0.28	0.28	0.28
Back surface particle diameter: lithography and measurement tools (nm)	120	120	100	100	100	100	75	75	75
Defects in spin-coated resist films (#/cm ²) †	0.01	0.01	0.01	0.01	0.01	0.01	0.01	0.01	0.01
Minimum defect size in spin-coated resist films (nm)	40	35	30	30	20	20	20	20	10
Defects in patterned resist films, gates, contacts, etc. (#/cm ²)	0.04	0.03	0.03	0.03	0.02	0.02	0.02	0.02	0.01
Minimum defect size in patterned resist (nm)	40	35	30	30	20	20	20	20	10
Low frequency line width roughness: (nm, 3 sigma) <8% of CD *****	3.4	3.0	2.7	2.4	2.1	1.9	1.7	1.5	1.3
Defects in spin-coated resist films for double patterning (#/cm ²)	0.005	0.005	0.005	0.005	0.005	0.005	0.005	0.005	0.005
Backside particle density for double patterning (#/cm ²)	0.14	0.14	0.14	0.14	0.14	0.14	0.14	0.14	0.14

Table LITH4b

Resist Requirements—Long-term Years

Year of Production	2016	2017	2018	2019	2020	2021	2022
DRAM ½ pitch (nm) (contacted)	23	20	18	16	14	13	11
Flash ½ pitch (nm) (un-contacted poly)	17.9	15.9	14.2	12.6	11.3	10.0	8.9
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	23	20	18	16	14	13	11
MPU physical gate length (nm) [after etch]	9	8	7	6	6	0	0
	15	13	12	11	9	8	8
Resist Characteristics *							
Resist meets requirements for gate resolution and gate CD control (nm, 3 sigma) **†	0.9	0.8	0.7	0.7	0.6	0.5	0.5
Resist thickness (nm, single layer) ***	35-65	30-60	25-50	25-45	20-40	20-40	15-35
PEB temperature sensitivity (nm/C)	1	1	1	11	11		
Backside particle density (particles/cm ²)	0.28	0.28	0.28	0.28	0.28	0.28	0.28
Back surface particle diameter: lithography and measurement tools (nm)	50	50	50	50	50	50	50
Defects in spin-coated resist films (#/cm ²) †	0.01	0.01	0.01	0.01	0.01	0.01	0.01
Minimum defect size in spin-coated resist films (nm)	10	10	10	10	10	10	10
Defects in patterned resist films, gates, contacts, etc. (#/cm ²)	0.01	0.01	0.01	0.01	0.01	0.01	0.01
Minimum defect size in patterned resist (nm)	10	10	10	10	10	10	10
Low frequency line width roughness: (nm, 3 sigma) <8% of CD *****	1.2	1.1	1.0	0.8	0.8	0.7	0.6
Defects in spin-coated resist films for double patterning (#/cm ²)	0.005	0.005	0.005	0.005	0.005	0.005	0.005
Backside particle density for double patterning (#/cm ²)	0.14	0.14	0.14	0.14	0.14	0.14	0.14

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

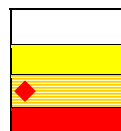


表 LITH4a と b の注:

露光に依存する案件

- * レジスト感度は別のレジスト感度テーブル(別のシート)で扱われる。
- ** 解像度とゲート線幅コントロールを満足させる為に十分な解像度、線幅制御性および断面形状をレジストが持っているかを示す。
- *** レジストの厚さはアスペクト比 2.0:1 から 3.5:1 の間で決められ、パターンの倒壊により制限される。
- **** 解像度に依存。
- ***** LWR_{Lf} は $0.5 \mu m^{-1}$ から $1/(2 * MPU \frac{1}{2} Pitch)$ までの空間周波数の標準偏差 3σ で与えられる。

注: 標準偏差は SEM のノイズを補正した線幅ばらつきの推定値で決められる。線幅ばらつきは $2 \mu m$ 以上の長さにあたって、 $4 nm$ 以下の間隔で測定される。

† レジスト膜中の欠陥とはピンホールなどのように、物理的対象として検出可能な欠陥で、光学的検知手法にて検出されるレジスト膜上の欠陥とは区別される。

他の案件:

- [A] ポジティブレジストとネガティブレジストの使い分けはパターンの密度と像の種類に依存する。
- [B] レジスト像の断面形状は 90 ± 2 度が要求される。
- [C] 熱安定性は $\geq 130^\circ C$ が要求される。
- [D] エッチング耐性はポリヒドロキシスチレン (PHOST: poly hydroxystyrene) より強くなくてはならない。
- [E] レジストの剥離を行った後に検出可能な残滓が残ってはならない。
- [F] アミンやアミドなど基本的に環境に含まれる化合物に敏感である。クリーンな環境ではこれらの物質濃度を $< 1000 pptM$ に維持すべき。
- [G] Metal 不純物 $< 5 ppb$
- [H] レンズの下部で 2 分間に放出される有機ガス量 (molecules/cm²sec)。193 nm 露光装置に対しては $< 1e12$ 、EUV 露光装置に対しては $< 5e13$ が要求される。電子ビームに対する値は今後設定する。
- [I] レンズの下部で 2 分間に放出される Si を含有する物質質量 (molecules/cm²sec)。193 nm 露光装置に対しては $< 1e8$ 、EUV 露光装置に対しては $< 5e13$ が要求される。電子ビームに対する値は今後設定する。

Table LITH4c Resist Sensitivities

Exposure Technology	Sensitivity
248 nm	10–50 mJ/ cm ²
193 nm	20–50 mJ/ cm ²
Extreme Ultraviolet at 13.5 nm	5–30 mJ/ cm ²
High Voltage Electron Beam (50–100 kV) ****	5–30 μC / cm ²
Low Voltage Electron Beam (1–2 kV) ****	0.2–30 μC / cm ²

**** 解像度に依存

Table LITH5a

Optical Mask Requirements—Near-term Years

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
DRAM ½ pitch (nm) (contacted)	65	57	50	45	40	36	32	28	25
DRAM/Flash CD control (3 sigma) (nm)	5.6	4.7	4.2	3.7	3.3	2.9	2.6	2.3	2.1
MPU/ASIC Metal 1 (M1) ½ pitch (nm)(contacted)	68	59	52	45	40	36	32	28	25
MPU gate in resist (nm)	42	38	34	30	27	24	21	19	17
MPU physical gate length (nm)	25	23	20	18	16	14	13	11	10
Gate CD control (3 sigma) (nm) [A]	2.6	2.3	2.1	1.9	1.7	1.5	1.3	1.2	1.0
Overlay (3 sigma) (nm)	13	11	10	9.0	8.0	7.1	6.4	5.7	5.1
Contact in resist (nm)	84	73	64	56	50	44	39	35	31
Mask magnification [B]	4	4	4	4	4	4	4	4	4
Mask nominal image size (nm) [C]	170	151	135	120	107	95	85	76	67
Mask minimum primary feature size [D]	119	106	94	84	75	67	59	53	47
Mask sub-resolution feature size (nm) opaque [E]	85	76	67	60	54	48	42	38	34
Image placement (nm, multipoint) [F]	7.8	6.8	6.0	5.4	4.8	4.3	3.8	3.4	3.0
CD uniformity allocation to mask (assumption)	0.4	0.4	0.4	0.4	0.4	0.4	0.4	0.4	0.4
MEEF isolated lines, binary or attenuated phase shift mask [G]	1.6	1.8	2	2.2	2.2	2.2	2.2	2.2	2.2
CD uniformity (nm, 3 sigma) isolated lines (MPU gates), binary or attenuated phase shift mask [H] *	2.6	2.1	1.7	1.3	1.2	1.1	1.0	0.9	0.8
MEEF dense lines, binary or attenuated phase shift mask [G]	2.2	2.2	2.2	2.2	2.2	2.2	2.2	2.2	2.2
CD uniformity (nm, 3 sigma) dense lines (DRAM half pitch), binary or attenuated phase shift mask [J]	4.0	3.4	3.0	2.7	2.4	2.1	1.9	1.7	1.5
MEEF contacts [G]	3.5	4	4	4	4	4	4	4	4
CD uniformity (nm, 3 sigma), contact/vias [K] *	2.5	1.9	1.7	1.5	1.3	1.2	1.0	0.9	0.8
Linearity (nm) [L]	10.4	9.1	8.0	7.2	6.4	5.7	5.1	4.5	4.0
CD mean to target (nm) [M]	5.2	4.5	4.0	3.6	3.2	2.9	2.5	2.3	2.0
Defect size (nm) [N] *	52	45	40	36	32	29	25	23	20
Blank flatness (nm, peak-valley) [O]	250	218	192	173	154	137	122	109	97
Pellicle thickness uniformity [P]	5.0	4.6	4.2	3.8	3.5	3.3	3.0	2.8	2.6
Data volume (GB) [Q]	413	520	655	825	1040	1310	1651	2080	2621
Mask design grid (nm) [R]	2	2	2	1	1	1	1	1	1
Attenuated PSM transmission mean deviation from target (± % of target) [S]	4	4	4	4	4	4	4	4	4
Attenuated PSM transmission uniformity (±% of target) [T]	4	4	4	4	4	4	4	4	4
Attenuated PSM phase mean deviation from 180° (± degree) [U]	3	3	3	3	3	3	3	3	3
Alternating PSM phase mean deviation from nominal phase angle target (± degree) [T]	1.5	1	1	1	1	1	1	1	1
Alternating PSM phase uniformity (± degree) [U]	1	1	1	1	1	1	1	1	1
Image placement (nm, multipoint) for double patterning of independent layers [V]	5.5	4.8	4.2	3.8	3.4	3.0	2.7	2.4	2.1
Difference in CD Mean-to-target for two masks used as a double patterning set (nm) [W]	2.6	2.3	2.0	1.8	1.6	1.4	1.3	1.1	1.0
Double exposure: image placement for each mask used for exposing mutually dependent layers (nm) [X]	1.9	1.6	1.4	1.2	1.1	1.0	0.9	0.8	0.7
Double exposure: mask CD uniformity for each mask used for exposing mutually dependent layers (nm) [Y]	1.9	1.6	1.4	1.2	1.1	1.0	0.9	0.8	0.7
Double exposure: dual space, etch bias repeatability and uniformity [Z]	1.2	1.0	0.9	0.8	0.7	0.7	0.6	0.5	0.5
Mask materials and substrates	Absorber/attenuator on fused silica								
	Pellicle for optical masks for exposure wavelengths down to 193 nm, including masks for 193 nm immersion.								

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

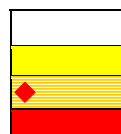


Table LITH5b **Optical Mask Requirements—Long-term Years**

Optical masks are not part of potential solutions, beyond 22 nm

Year of Production	2016	2017	2018	2019	2020	2021	2022
DRAM ½ pitch (nm) (contacted)	22	20	18	16	14	13	11
DRAM/Flash CD control (3 sigma) (nm)	1.9	1.7	1.5	1.3	1.2	1.0	0.9
MPU/ASIC Metal 1 (M1) ½ pitch (nm)(contacted)	23	20	18	16	14	13	11
MPU gate in resist (nm)	15	13	12	11	9	8	8
MPU physical gate length (nm)	9	8	7	6	6	5	4
Gate CD control (3 sigma) (nm) [A]	0.9	0.8	0.7	0.7	0.6	0.5	0.5
Overlay (3 sigma) (nm)	4.5	4.0	3.6	3.2	2.8	2.5	2.3
Contact in resist (nm)	28	25	22	20	18	16	14
Mask magnification [B]	4	4	4	4	4	4	4
Mask nominal image size (nm) [C]	60	54	48	42	38	34	30
Mask minimum primary feature size [D]	42	37	33	30	26	24	21
Mask sub-resolution feature size (nm) opaque [E]	30	27	24	21	19	17	15
Image placement (nm, multipoint) [F]	2.7	2.4	2.1	1.9	1.7	1.5	1.4
CD uniformity allocation to mask (assumption)	0.4	0.4	0.4	0.4	0.4	0.4	0.4
MEEF isolated lines, binary or attenuated phase shift mask [G]	2.2	2.2	2.2	2.2	2.2	2.2	2.2
CD uniformity (nm, 3 sigma) isolated lines (MPU gates), binary or attenuated phase shift mask [H] *	0.7	0.6	0.5	0.5	0.4	0.4	0.3
MEEF dense lines, binary or attenuated phase shift mask [G]	2.2	2.2	2.2	2.2	2.2	2.2	2.2
CD uniformity (nm, 3 sigma) dense lines (DRAM half pitch), binary or attenuated phase shift mask [J]	1.3	1.2	1.1	1.0	0.9	0.8	0.7
MEEF contacts [G]	4	4	4	4	4	4	4
CD uniformity (nm, 3 sigma), contact/vias [K] *	0.7	0.7	0.6	0.5	0.5	0.4	0.4
Linearity (nm) [L]	3.6	3.2	2.9	2.5	2.3	2.0	1.8
CD mean to target (nm) [M]	1.8	1.6	1.4	1.3	1.1	1.0	0.9
Defect size (nm) [N] *	18	16	14	13	11	10	9
Blank flatness (nm, peak-valley) [O]	86	77	69	61	54	48	43
Pellicle thickness uniformity [P]	2.4	2.2	2.0	1.9	1.7	1.6	1.5
Data volume (GB) [Q]	3302	4161	5242	6605	8321	10484	13209
Mask design grid (nm) [R]	1	1	1	0.5	0.5	0.5	0.5
Attenuated PSM transmission mean deviation from target (± % of target) [S]	4	4	4	4	4	4	4
Attenuated PSM transmission uniformity (±% of target) [T]	4	4	4	4	4	4	4
Attenuated PSM phase mean deviation from 180° (± degree) [U]	3	3	3	3	3	3	3
Alternating PSM phase mean deviation from nominal phase angle target (± degree) [T]	1	1	1	1	1	1	1
Alternating PSM phase uniformity (± degree) [U]	1	1	1	1	1	1	1
Image placement (nm, multipoint) for double patterning of independent layers [V]	1.9	1.7	1.5	1.4	1.2	1.1	1.0
Difference in CD Mean-to-target for two masks used as a double patterning set (nm) [W]	0.9	0.8	0.7	0.6	0.6	0.5	0.5
Double exposure: image placement for each mask used for exposing mutually dependent layers (nm) [X]	0.6	0.6	0.5	0.4	0.4	0.3	0.3
Double exposure: mask CD uniformity for each mask used for exposing mutually dependent layers (nm) [Y]	0.6	0.6	0.5	0.4	0.4	0.3	0.3
Double exposure: dual space, etch bias repeatability and uniformity [Z]	0.4	0.4	0.3	0.3	0.3	0.2	0.2
Mask materials and substrates	Absorber/attenuator on fused silica						
	Pellicle for optical masks for exposure wavelengths down to 193 nm, including masks for 193 nm immersion.						

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

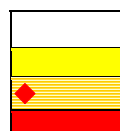


表 LITH5a と b の注:

[A] Wafer Minimum Line Size—ウェーハ上の最小レジスト線幅。ゼロバイアスで露光あるいは描画された線幅(一般的には孤立線に適用され、線幅均一性とリアリティを追及する)。

[B] Magnification—露光機の縮小倍率。

[C] Mask Nominal Image Size—ウェーハ上の最小レジスト線幅と同義で露光装置の縮小倍率をかけたもの。

[D] Mask Minimum Primary Feature Size—OPC が適用されたマスク上で線幅の位置精度と欠陥が制御された時に転写される最小寸法。

[E] Mask Sub-Resolution Feature Size—アシストバーのようにマスク上にあり転写されない線幅。

[F] Image Placement—等方的な倍率誤差を除いて定義される理想格子からのパターンの位置ずれ分布の最大値(X あるいは Y)。この値はペリクル装着や露光装置のステージへの吸着で更なる位置精度誤差をもたらさない。

[G] ウェーハ上での線幅誤差はマスク上での線幅誤差に正比例し、MEEF(mask error enhancement Factor)がその比例係数となる。MEEF は通常 1 より大きい為、ウェーハ上での線幅均一性を確保する為に更に厳しい線幅均一性をマスクに要求している。

[H] CD Uniformity—同トーンで同寸法を持ちマスク上で重要とされている形状部分のマスク上での実際の寸法の 3σ 偏差。バイナリーマスクの X、Y と孤立線に適用する。

[I] CD Uniformity—同トーンで同寸法を持ちマスク上で重要とされている形状部分のマスク上での実際の寸法の 3σ 偏差。石英シフター位相マスクの X、Y 及び多数のピッチを持つパターンに適用する。

[J] CD Uniformity—同トーンで同寸法を持ちマスク上で重要とされている形状部分のマスク上での実際の寸法の 3σ 偏差。バイナリーマスクあるいはハーフトーン位相マスクの X、Y 及び多数のピッチを持つパターンに適用する。

[K] CD Uniformity—マスク上のピッチ制約が無い条件でコンタクト面積の平方根の 3σ 偏差。

[L] Linearity—マスク上で同じトーンの異なるデザインサイズのパターンで目標値に対する誤差の平均値と誤差の差の最大値。パターンサイズの範囲として解像しない最小のアシストパターンからウェーハ上の最小ピッチの $3/2$ 倍に倍率を掛けたサイズまでが含まれる。

[M] CD Mean to Target—測定した線幅の平均値とデザインサイズとの最大差。一つのサイズとトーンに適用される。
□(測定値-目標値)/測定数

[N] Defect Size—マスク欠陥はプリントした時に転写されるかあるいは 10%以上の寸法変化を与えるあらゆるマスク上の異常を言う。ロードマップに示されるマスクの欠陥サイズは該当代において転写されてしまうと予測される最小サイズの明欠陥あるいは暗欠陥の面積の平方根として示されている。転写される 180° の位相欠陥はここで示された値の 70%小さい。

[O] Blank Flatness—フラットネスは 6 インチ×6 インチの四角のマスクブランクのエッジから 5mm を除外したイメージ領域(訳者注 パターン面)の中央の領域におけるピーク値ー谷値で、nm 単位で示される。フラットネスは、目的とするそれぞれの図形サイズに対する焦点深度要求に依存する。

[P] Pellicle thickness uniformity—露光領域におけるペリクル膜厚の変動の nm 単位で測定された 3σ 標準偏差。ペリクルが、将来のハーブピッチ世代に対して、膜厚の中心値を減少させても、膜厚の均一性の要求は依然として、nm で絶対値として残ることに注意。

[Q] Data Volume—パターン作成装置での1レイヤーに対して予想される最大非圧縮データのファイルサイズ。

[R] Mask Design Grid—ウェーハにおけるデザイン格子にマスク倍率を乗じたもの。

[S] Transmission—吸収体の付いていないマスクブランクに対するハーフトーン位相シフトの透過率で、%で示される。

[T] Phase—マスク上の 2 点での光路長差の変位(位相差)で、度で示される。平均値はマスク上の多くのパターンで計られた位相の平均として決められる。

[U] Alt PSM マスクの位相均一性は、レンジスペックで、平均値からの最大位相誤差に等しい。

[V] 相依存しない層(independent)によるダブルパターニングのパターン配置は、相依存しないダブル露光(DE)あるいはダブルパターニングにおける各々のマスクの測定されたパターン配置精度仕様測定値([F]参照)である。

[W] 二つのマスクの CD の目標値と平均値の差異(MTT)の差は、ダブルパターニングにおいて、回路のひとつの層を形成する組み合わせのマスクセットを成す相関しないマスクの各々のマスク CD の平均値の差で示される。

[X] クリティカルパターンが各々のマスクのパターンの重なりで出来る相関する([F]参照)ダブルパターニングにおける各々のマスクのパターン配置は、相関(dependent)ダブルパターニングプロセスに用いられる各々のマスクのパターン配置精度仕様測定値である。

[Y] 相関するダブルパターニングプロセスに用いられる各々のマスクの CDU は、各々のマスクの測定された CDU([J]参照)である。

[Z] エッチングバイアスの再現性と均一性は、ダブルパターニングプロセスにおける二つのエッチング工程、あるいはダブル露光(DE)プロセスにおける一のエッチング工程により生じる全 CDU エラーである。

Table LITH5c

EUVL Mask Requirements—Near-term Years

Year of Production	2008	2009	2010	2011	2012	2013	2014	2015
DRAM ½ pitch (nm) (contacted)	57	50	45	40	36	32	28	25
Flash ½ pitch (nm) (un-contacted poly)	45	40	36	32	28	25	23	20
DRAM/Flash CD control (3 sigma) (nm)	4.7	4.2	3.7	3.3	2.9	2.6	2.3	2.1
MPU/ASIC Metal 1 (M1) ½ pitch (nm)(contacted)	59	52	45	40	36	32	28	25
MPU gate in resist (nm)	38	34	30	27	24	21	19	17
MPU physical gate length (nm)	23	20	18	16	14	13	11	10
Gate CD control (3 sigma) (nm) [A]	2.3	2.1	1.9	1.7	1.5	1.3	1.2	1.0
Overlay	11.3	10.0	9.0	8.0	7.1	6.4	5.7	5.1
Contact after etch (nm)	67	58	51	45	40	36	32	28
Generic Mask Requirements								
Mask magnification [B]	4	4	4	4	4	4	4	4
Mask nominal image size (nm) [C]	151	135	120	107	95	85	76	67
Mask minimum primary feature size [D]	106	94	84	75	67	59	53	47
Image placement (nm, multipoint) [E]	6.8	6.0	5.4	4.8	4.3	3.8	3.4	3.0
CD uniformity (nm, 3 sigma) [F]								
Isolated lines (MPU gates)	3.4	3.0	2.7	2.4	2.1	1.9	1.7	1.5
Dense lines DRAM (half pitch)	6.5	5.8	5.2	4.6	4.1	3.7	3.3	2.9
Contact/vias	6.2	5.6	4.0	3.5	3.1	2.8	2.5	2.2
Linearity (nm) [G]	8.6	7.6	6.8	6.1	5.4	4.8	4.3	3.8
CD mean to target (nm) [H]	4.5	4.0	3.6	3.2	2.9	2.5	2.3	2.0
Defect size (nm) [I]	45	40	36	32	29	25	23	20
Data volume (GB) [J]	413	520	655	825	1040	1310	1651	2080
Mask design grid (nm) [K]	2	2	2	2	2	2	2	2
EUVL-specific Mask Requirements								
Substrate defect size (nm) [L]	38	36	35	33	31	30	28	27
Mean peak reflectivity	65%	66%	66%	66%	67%	67%	67%	67%
Peak reflectivity uniformity (% 3 sigma absolute)	0.69%	0.58%	0.47%	0.42%	0.37%	0.33%	0.29%	0.26%
Reflected centroid wavelength uniformity (nm 3 sigma) [M]	0.08	0.07	0.06	0.05	0.05	0.05	0.04	0.04
Absorber sidewall angle tolerance (± degrees) [P]	1	1	0.75	0.69	0.62	0.5	0.5	0.5
Absorber LER (3 sigma nm) [N]	3.2	2.8	2.5	2.2	2.0	1.8	1.6	1.4
Mask substrate flatness (nm peak-to-valley) [O]	65	57	51	46	41	36	32	29

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

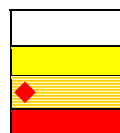


Table LITH5d EUVL Mask Requirements—Long-term Years

Year of Production	2016	2017	2018	2019	2020	2021	2022
DRAM ½ pitch (nm) (contacted)	23	20	18	16	14	13	11
Flash ½ pitch (nm) (un-contacted poly)	18	16	14	13	11	10	9
DRAM/Flash CD control (3 sigma) (nm)	1.9	1.7	1.5	1.3	1.2	1.0	0.9
MPU/ASIC Metal 1 (M1) ½ pitch (nm)(contacted)	23	20	18	16	14	13	11
MPU gate in resist (nm)	15	13	12	11	9	8	8
MPU physical gate length (nm)	9	8	7	6	6	5	4
Gate CD control (3 sigma) (nm) [A]	0.9	0.8	0.7	0.7	0.6	0.5	0.5
Overlay	4.5	4.0	3.6	3.2	2.8	2.5	2.3
Contact after etch (nm)	25	23	20	18	16	14	13
Generic Mask Requirements							
Mask magnification [B]	4	4	4	4	4	4	4
Mask nominal image size (nm) [C]	60	54	48	42	38	34	30
Mask minimum primary feature size [D]	42	37	33	30	26	24	21
Image placement (nm, multipoint) [E]	2.7	2.4	2.1	1.9	1.7	1.5	1.4
CD uniformity (nm, 3 sigma) [F]							
Isolated lines (MPU gates)	1.3	1.2	1.1	1.0	0.9	0.8	0.7
Dense lines DRAM (half pitch)	2.6	2.3	2.0	1.8	1.6	1.4	1.3
Contact/vias	2.0	1.3	1.2	1.0	0.9	0.8	0.7
Linearity (nm) [G]	3.4	3.0	2.7	2.4	2.2	1.9	1.7
CD mean to target (nm) [H]	1.8	1.6	1.4	1.3	1.1	1.0	0.9
Defect size (nm) [I]	18	16	14	13	11	10	9
Data volume (GB) [J]	2621	3302	4160	5241	6604	8321	10483
Mask design grid (nm) [K]	2	1	1	1	1	1	1
EUVL-specific Mask Requirements							
Substrate defect size (nm) [L]	25	23	22	20	18	17	15
Mean peak reflectivity	67%	67%	67%	67%	67%	67%	67%
Peak reflectivity uniformity (% 3 sigma absolute)	0.23%	0.21%	0.19%	0.17%	0.15%	0.13%	0.12%
Reflected centroid wavelength uniformity (nm 3 sigma) [M]	0.04	0.03	0.03	0.03	0.02	0.02	0.02
Absorber sidewall angle tolerance (± degrees) [P]	0.5	0.5	0.5	0.5	0.5	0.5	0.5
Absorber LER (3 sigma nm) [N]	1.3	1.1	1.0	0.9	0.8	0.7	0.6
Mask substrate flatness (nm peak-to-valley) [O]	26	23	20	18	16	14	13

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

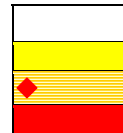


表 LITH5c と d の注:

EUVL 用のマスクは低熱膨張材料の基板上に多層膜を形成しその上に吸収体パターンを持つ。

[A] Wafer Minimum Line Size—ウェーハ上の最小レジスト線幅。ゼロバイアスで露光あるいは描画された線幅(一般的には孤立線に適用され、線幅均一性とリニアリティを追及する)。

[B] Magnification—露光機の縮小倍率。

[C] Mask Nominal Image Size—ウェーハ上の最小レジスト線幅と同義で露光装置の縮小倍率 N をかけたもの。

[D] Mask Minimum Primary Feature Size—OPC が適用されたマスク上で線幅の位置精度と欠陥が制御された時に転写される最小寸法。

[E] Image Placement—等方的な倍率誤差を除いて定義される理想格子からのパターンの位置ずれ分布の最大値(X あるいは Y)。

[F] CD Uniformity—同トーンで同寸法を持ちマスク上で重要とされている形状部分のマスク上での実際の寸法の 3σ 偏差。X、Y 及び多数のピッチを持つ孤立及び密集線に適用する。ホールに対して: 測定と許容誤差はマスク上の面積を参照している。表を見やすくするため一次元で記述している。平方根(面積)—平方根(目標値)

[G] Linearity—マスク上で同じトーンの異なるデザインサイズのパターンで目標値に対する誤差の平均値と誤差の差の最大値。パターンサイズの範囲として解像しない最小のアシストパターンからウェーハ上の最小ピッチの 3/2 倍に倍率を掛けたサイズまでが含まれる。

[H] CD Mean to Target—測定した線幅の平均値とデザインサイズとの最大差。一つのサイズとトーンに適用される。

Σ (測定値-目標値)/測定数

- [I] Defect Size—マスク欠陥はプリントした時に転写されるかあるいは 10%以上の寸法変化を与えるあらゆるマスク上の異常を言う。ロードマップに示されるマスクの欠陥サイズは該当世代において転写されてしまうと予測される最小サイズの明欠陥あるいは暗欠陥の面積の平方根として示されている。
- [J] Data Volume—ラスタースキャン描画装置のフォーマットで 1 レイヤーに対して予想される最大非圧縮データのファイルサイズ。
- [K] Mask Design Grid—ウェーハにおけるデザイン格子にマスク倍率を乗じたもの。
- [L] Substrate Defect Size—露光イメージに許容できない線幅の変化を与える原因となる、基板上で多層膜の下にある欠陥の最小直径(ポリスチレン真球ビーズ換算)。基板の欠陥は露光イメージの位相誤差の原因となり、露光イメージに許容できない変化を与える最小のマスクブランク欠陥となる。
- [M] マスク上の中心波長の変動と、露光装置光学系の波長に対するマスクの平均波長の不整合を含む。
- [N] Line edge roughness (LER)—ラインエッジラフネスは、パターンの片側の、マスク最小寸法より小さい空間領域での凹凸の 3σ で定義される。
- [O] Mask Substrate Flatness—露光装置のレベリングとマスク吸着機構で補正されるであろう端から 5 mm の部分とくさび成分を除いた残存平坦度誤差(nm peak-to-valley)。平坦度誤差は最大偏差が最小となる仮想平面からの偏差として定義される。この平坦度要求は基板の表面、裏面に対して独立に適用される。
- [P] サイドウォール角の許容幅はユーザーとサプライヤの合意のもとで吸収体の平均値に対して適用される。

Table LITH5e

Imprint Template Requirements—Near-term Years

Year of Production	2008	2009	2010	2011	2012	2013	2014	2015
DRAM ½ pitch (nm) (contacted)	57	50	45	40	36	32	28	25
Flash ½ pitch (nm) (un-contacted poly)	45	40	36	32	28	25	23	20
DRAM/Flash CD control (3 sigma) (nm)	4.7	4.2	3.7	3.3	2.9	2.6	2.3	2.1
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	59	52	45	40	36	32	28	25
MPU gate in resist (nm)	38	34	30	27	24	21	19	17
MPU physical gate length (nm)	23	20	18	16	14	13	11	10
Overlay (3 sigma) (nm)	11.3	10.0	9.0	8.0	7.1	6.4	5.7	5.1
Gate CD control (3 sigma) (nm) [A]	2.3	2.1	1.9	1.7	1.5	1.3	1.2	1.0
Contact after etch (nm)	67	58	51	45	40	36	32	28
<i>Generic Mask Requirements</i>								
Magnification [B]	1	1	1	1	1	1	1	1
Mask nominal image size (nm) [C]	38	34	30	27	24	21	19	17
Image placement (nm, multipoint) [D]	6.5	5.8	5.2	4.6	4.1	3.7	3.3	2.9
<i>CD Uniformity (nm, 3 sigma) [E]</i>								
Isolated lines (MPU gates)	2.2	2.0	1.7	1.6	1.4	1.2	1.1	1.0
Dense lines DRAM/Flash (half pitch)	5.6	4.9	4.4	3.9	3.5	3.1	2.8	2.5
Contact/vias	6.5	5.7	5.0	4.4	3.9	3.5	3.1	2.8
Linearity (nm) [F]	5.7	5.0	4.5	4.0	3.6	3.2	2.8	2.5
CD mean to target (nm) [G]	1.1	1.0	0.9	0.8	0.7	0.6	0.6	0.5
Data volume (GB) [H]	295	372	469	591	745	938	1182	1489
Mask design grid (nm) [I]	0.5	0.5	0.5	0.25	0.25	0.25	0.25	0.25
<i>UV-NIL-specific Mask Requirements</i>								
Defect size impacting CD (nm) x, y [J]	4.5	4.0	3.6	3.2	2.8	2.5	2.3	2.0
Defect size impacting CD (nm) z [K]	9.0	8.0	7.1	6.4	5.7	5.1	4.5	4.0
Mask substrate flatness (nm peak-to-valley) [L]	298	252	192	180	153	126	110	88
Trench depth, mean (nm) [M]	75–119	67–104	60–90	53–81	47–72	42–64	37–57	33–51
Etch depth uniformity (nm) [N]	3.8–5.9	3.4–5.2	3.0–4.5	2.7–4.0	2.4–3.6	2.1–3.2	1.9–2.8	1.7–2.5
Trench wall angle (degrees) [O]	87	87.3	87.6	87.9	88.1	88.3	88.5	88.7
Trench width roughness (nm, 3 sigma) [P]	3.4	3.0	2.7	2.4	2.1	1.9	1.7	1.5
Corner radius, bottom of feature (nm) [Q]	6.3	5.6	5	4.5	4	3.5	3.2	2.8
Corner radius, top of feature (nm) [R]	1.1	1.0	0.9	0.8	0.7	0.6	0.6	0.5
Trench bottom surface roughness (nm, 3 sigma) [S]	7.6	6.7	6	5.4	4.8	4.2	3.8	3.4
Template absorption [T]	<2%	<2%	<2%	<2%	<2%	<2%	<2%	<2%
Near surface defect (nm) [U]	51	45	41	36	32	29	26	23
Defect size, patterned template (nm) [V]	35	30	30	20	20	20	20	10
Defect density (#/cm²) [W]	0.03	0.03	0.03	0.01	0.01	0.01	0.01	0.01
Dual Damascene overlay: metal/via on template (nm, 3 sigma) [X]	11.3	10.0	9.0	8.0	7.1	6.4	5.7	5.1

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

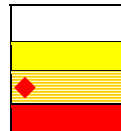


Table LITH5f

Imprint Template Requirements—Long-term Years

Year of Production	2016	2017	2018	2019	2020	2021	2022
DRAM ½ pitch (nm) (contacted)	23	20	18	16	14	13	11
Flash ½ pitch (nm) (un-contacted poly)	18	16	14	13	11	10	9
DRAM/Flash CD control (3 sigma) (nm)	1.9	1.7	1.5	1.3	1.2	1.0	0.9
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	23	20	18	16	14	13	11
MPU gate in resist (nm)	15	13	12	11	9	8	8
MPU physical gate length (nm)	9	8	7	6	6	5	4
Overlay (3 sigma) (nm)	4.5	4.0	3.6	3.2	2.8	2.5	2.3
Gate CD control (3 sigma) (nm) [A]	0.9	0.8	0.7	0.7	0.6	0.5	0.5
Contact after etch (nm)	25	23	20	18	16	14	13
Generic Mask Requirements							
Magnification [B]	1	1	1	1	1	1	1
Mask nominal image size (nm) [C]	15	13	12	11	9	8	8
Image placement (nm, multipoint) [D]	2.6	2.3	2.1	1.8	1.6	1.5	1.3
CD Uniformity (nm, 3 sigma) [E]							
Isolated lines (MPU gates)	0.9	0.8	0.7	0.6	0.6	0.5	0.4
Dense lines DRAM/Flash (half pitch)	2.2	2.0	1.7	1.6	1.4	1.2	1.1
Contact/vias	2.5	2.2	2.0	1.8	1.6	1.4	1.2
Linearity (nm) [F]	2.3	2.0	1.8	1.6	1.4	1.3	1.1
CD mean to target (nm) [G]	0.5	0.4	0.4	0.3	0.3	0.3	0.2
Data volume (GB) [H]	1876	2364	2978	3752	4728	5957	7505
Mask design grid (nm) [I]	0.25	0.25	0.25	0.25	0.125	0.125	0.125
UV-NIL-specific Mask Requirements							
Defect size impacting CD (nm) x, y [J]	1.8	1.6	1.4	1.3	1.1	1.0	0.9
Defect size impacting CD (nm) z [K]	3.6	3.2	2.8	2.5	2.3	2.0	1.8
Mask substrate flatness (nm peak-to-valley) [L]	72	56	45	36	29	24	21
Trench depth, mean (nm) [M]	30–45	26–41	23–36	21–32	18–29	17–26	15–22
Etch depth uniformity (nm) [N]	1.5–2.3	1.3–2.0	1.2–1.8	1.1–1.6	0.9–1.4	0.9–1.3	0.8–1.1
Trench wall angle (degrees) [O]	88.8	88.9	89.1	89.2	89.2	89.3	89.4
Trench width roughness (nm, 3 sigma) [P]	1.3	1.2	1.1	1.0	0.8	0.8	0.7
Corner radius, bottom of feature (nm) [Q]	2.5	2.2	2	1.8	1.6	1.3	1.1
Corner radius, top of feature (nm) [R]	0.5	0.4	0.4	0.3	0.3	0.3	0.2
Trench bottom surface roughness (nm, 3 sigma) [S]	3	2.7	2.4	2.1	1.9	1.5	1.2
Template absorption [T]	<2%	<2%	<2%	<2%	<2%	<2%	<2%
Near surface defect (nm) [U]	20	18	16	14	13	11	10
Defect size, patterned template (nm) [V]	10	10	10	10	10	10	10
Defect density (#/cm ²) [W]	0.01	0.01	0.01	0.01	0.01	0.01	0.01
Dual Damascene overlay: metal/via on template (nm, 3 sigma) [X]	4.5	4.0	3.6	3.2	2.8	2.5	2.3

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

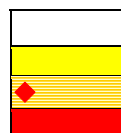


表 LITH5e と f の注:

[A] Wafer Minimum Feature Size—ウェーハ上の最小レジスト線幅。ゼロバイアスで露光あるいは描画された線幅(一般的には孤立線に適用され、線幅均一性とリニアリティを追及する)。

[B] Magnification—露光機の縮小倍率、N:1。

[C] Mask Nominal Image Size—マスク縮小倍率をかけたウェーハ上のレジストの最小サイズと同等。

[D] 等方的な倍率誤差の補正後、基準格子に対する像の中心位置の配列の最大のズレ成分(X or Y)。

[E] CD Uniformity—同トーンで同寸法を持ちマスク上で重要とされている形状部分のマスク上での実際の寸法の 3σ 偏差。X、Y 及び多数のピッチを持つ孤立及び密集線に適用する。ホールに対して、測定と許容誤差はマスク上の面積を参照している。表の簡単化のため、ロードマップメンバーは長さの単位にノーマライズした。sqrt (面積)—sqrt (ターゲット面積)

[F] Linearity—マスク上で同じトーンの異なるデザインサイズのパターンで目標値に対する誤差の平均値と誤差の差の最大値。パターンサイズの範囲として解像しない最小のアシストパターンからウェーハ上の最小ハーフピッチの 3 倍に倍率を掛けたサイズまでが含まれる。

[G] CD Mean to Target—測定した線幅の平均値と設計サイズとの最大差。一つのサイズとトーンに適用される。Σ (測定値-目標値)/測定数。

[H] 現状のラスタ描画装置を用いた場合の一層に対する非圧縮の予想最大フィールドに対応する。

[I] マスク倍率を掛けたウェーハ上の設計グリッド。

[J] Defect Size (nm) x, y— マスク欠陥はプリントした時に転写されるかあるいは 10%以上の寸法変化を与えるあらゆるマスク上の異常を言う。ロードマップに示されるマスクの欠陥サイズは該当代において転写されてしまうと予測される最小サイズの明欠陥あるいは暗欠陥の面積の平方根として示されている。

[K] Defect Size (nm) z—マスク欠陥はプリントした時に転写されるかあるいは 10%以上の寸法変化を与えるあらゆるマスク上の異常を言う。ロードマップに示されるマスクの欠陥サイズは該当代において転写されてしまうと予測される最小サイズの明欠陥あるいは暗欠陥の面積の平方根として示されている。

[L] 6 インチ角基板の中心のイメージフィールド 110 mm 角でのフラットネス (nm peak-to-valley) 。フラットネスは経験的な残存層の均一性と倍率で決まる。

[M] Trench depth mean—アスペクト比は 2:1 に設定。低い値は転写後のゲート長で、高い値は MPU/ASIC のハーフピッチで決まる。

[N] Trench depth uniformity in nm—トレンチ深さの 5%に設定。

[O] Trench wall angle in degrees—二層レジストプロセスでエッチバイアスを 5%以下にするために必要な最小ウォール角。エッチマスクと転写レイヤの選択比は 10:1 を仮定。転写レイヤのアスペクト比は 1.5 から始まり最終的に 2 となる。

[P] Trench width roughness (nm, 3 sigma)—レジストの LWR と同じ。

[Q] Corner radius, bottom of feature— S-FIL/R (ポジトーンインプリント)で重要であり、この値は良好な CD コントロールのため全面エッチでインプリント材料の頭出しを行なう深さを決める(CD の 12.5%)。S-FIL (ネガトーンインプリント)プロセスでは重要でない。

[R] Corner radius, top of feature—良好な CD コントロールのために S-FIL (ネガトーンインプリント)プロセスで重要(CD の 3%)。投影露光での”フッティング”と同じように影響する。S-FIL/R (ポジトーンインプリント)プロセスでは重要ではない。

[S] プラズマエッチもしくはハードマスクのマイクロマスク効果による不完全さによるトレンチ底のラスネス。

[T] 6.3 mm 厚基板の 365 nm に対する吸収の割合(%)。熱発生、熱による歪を最小限に、装置のスループットを最大にするために必要な項目。

[U] 石英表面から 200nm の深さまでにある最大欠陥サイズ。

[V] Defect size, patterned template—使用後のテンプレートにおける欠陥サイズ(nm)

[W] 使用後のテンプレートの 1cm^2 辺りの欠陥数。

[X] 3D テンプレートでの配線部と繋がったビアホールに対するビアと配線の重ね合せ要求。

Table LITH6a Maskless Technology Requirements—Near-term

Year of Production	2008	2009	2010	2011	2012	2013	2014	2015
DRAM ½ pitch (nm) (contacted)	57	50	45	40	36	32	28	25
DRAM/Flash CD control (3 sigma) (nm)	4.7	4.2	3.7	3.3	2.9	2.6	2.3	2.1
MPU/ASIC Metal 1 (M1) ½ pitch (nm)(contacted)	59	52	45	40	36	32	28	25
MPU gate in resist (nm)	38	34	30	27	24	21	19	17
MPU physical gate length (nm)	23	20	18	16	14	13	11	10
Gate CD control (3 sigma) (nm)	2.3	2.1	1.9	1.7	1.5	1.3	1.2	1.0
Overlay (3 sigma) (nm)	11.3	10.0	9.0	8.0	7.1	6.4	5.7	5.1
Contact after etch (nm)	67	58	51	45	40	36	32	28
Data Volume (GB)	260	328	413	520	655	826	1040	1311
Grid Size (nm)	0.5	0.5	0.5	0.25	0.25	0.25	0.25	0.25

Table LITH6b Maskless Technology Requirements—Long-term

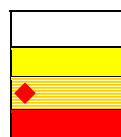
Year of Production	2016	2017	2018	2019	2020	2021	2022
DRAM ½ pitch (nm) (contacted)	22	20	18	16	14	0	0
DRAM/Flash CD control (3 sigma) (nm)	1.9	1.7	1.5	1.3	1.2	1.0	0.9
MPU/ASIC Metal 1 (M1) ½ pitch (nm)(contacted)	23	20	18	16	14	13	11
MPU gate in resist (nm)	15	13	12	11	9	8	8
MPU physical gate length (nm)	9	8	7	6	6	5	4
Gate CD control (3 sigma) (nm)	0.9	0.8	0.7	0.7	0.6	0.5	0.5
Overlay (3 sigma) (nm)	4.5	4.0	3.6	3.2	2.8	2.5	2.3
Contact after etch (nm)	25	23	20	18	16	14	13
Data Volume (GB)	1651	2080	2621	3302	4161	5242	6605
Grid Size (nm)	0.25	0.25	0.25	0.25	0.125	0.125	0.125

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



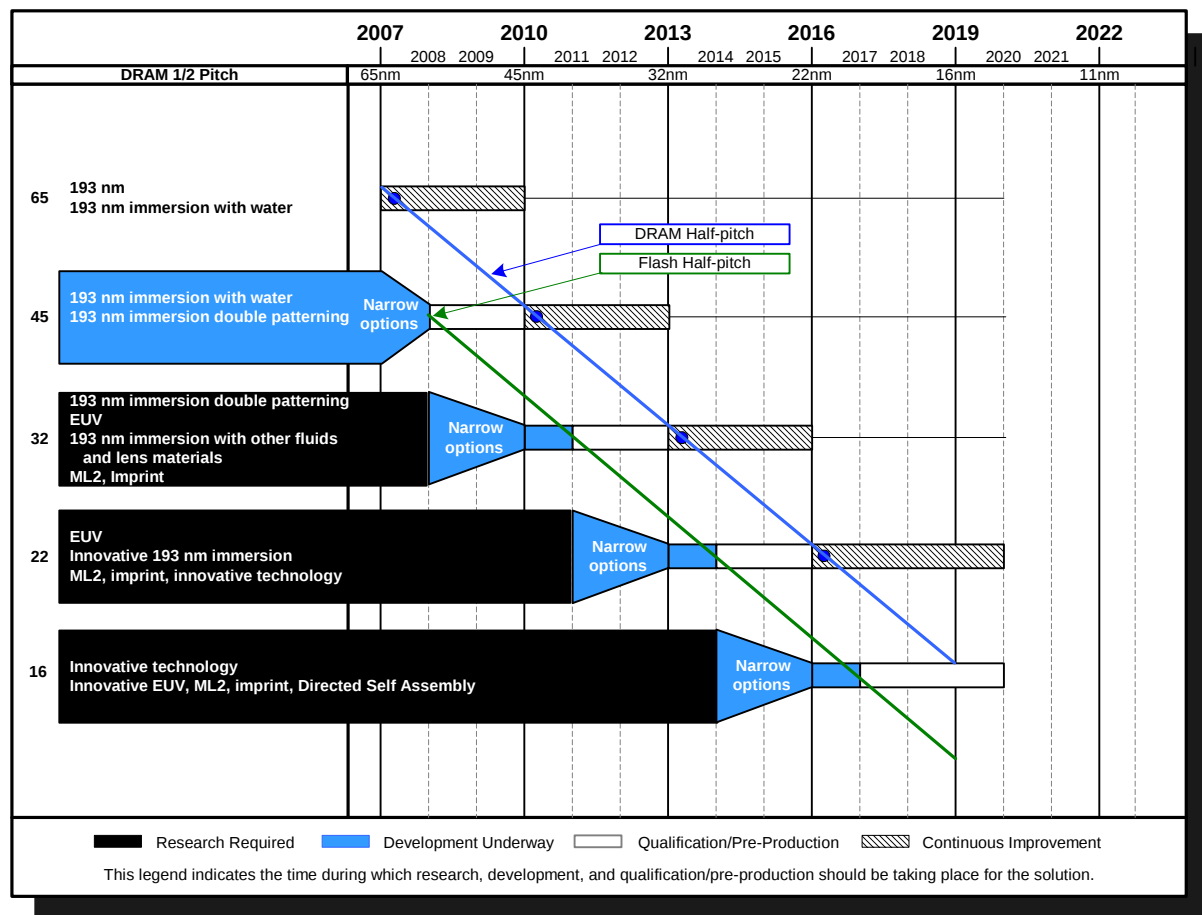
解決策候補

クリティカル層に用いられる最先端のリソグラフィに向けた解決策候補を図 LITH5 に示す。技術オプションの順番は個々の技術がその世代で主要な解となる可能性を表しており、最初にあげられたオプション技術の可能性が最も高い。示された時期に使われるリソグラフィ技術のすべてのインフラ装置、マスク、レジストも含め—はその時期に準備が整っていなければならない。ArF リソグラフィは DRAM の 45 nm ハーフピッチまで最も優位であると期待される。EUV、ML2、およびインプリントは 32 nm ハーフピッチから使われる可能性があるが、おそらく 22 nm ハーフピッチでの登場となるであろう。液浸リソグラフィは高屈折率レンズ材料と高屈折率液浸液の開発が間に合えば 32 nm ハーフピッチまで光リソグラフィの範囲を広げるかもしれない。2枚のマスクにパターンを分け、目的の最小ハーフピッチの2倍のハーフピッチを持つマスクで2回に分けて露光する研究も進められている。二度露光に適したレジストと十分な精度のアライメントが開発されたなら、液浸リソグラフィは DRAM の 32 nm ハーフピッチの先まで適用範囲が広がる。パターンを2枚のマスクに最適に分割するためのソフトウェアの開発が必要であり、さらにこの手法が他の代替技術より安価である必要がある。

ポスト光リソグラフィ技術は DRAM の 32 nm ハーフピッチ、もしくはそれ以下に対する解決策候補である。可能性のある代替技術として、複数の地域が、光リソグラフィの潜在的な後継者として EUV、マスクレス、およびインプリントリソグラフィを挙げた。光の後継者としての取り組みのみを考えると、EUVは32 nmと22 nm ハーフピッチに対し最も可能性が高いと見なされる。マスクレスリソグラフィは、開発におけるプロトタイプングというニッチな用途、トランジスタ開発、そして、少量の特定用途向け集積回路(ASIC)生産に適用されているが、その適用範囲を拡大できるであろう。高スループットを実現するための直描技術のブレークスルーは大きなパラダイムシフトとなる可能性があり、マスクを不要とし、さらにコストの削減とサイクルタイム短縮をも

たらず。現在、プロトタイピング以上の用途に向けたマスクレスリソグラフィは研究段階にあり、コストエフェクティブな半導体製造に ML2 が用いられるためには多くの重要な技術的問題が解決されなければならない。インプリントリソグラフィには、コストエフェクティブな解決策となる可能性があるが、1×テンプレート、欠陥、テンプレートの寿命、およびオーバーレイに伴う困難さが、解決すべき多くの問題として残されている。また現在解決策候補としてあげられているいずれの技術も DRAM の 16 nm ハーフピッチの要求を満たすことができるかどうかは明確ではなく、革新的な技術の開発が必要である。これらの中で、像形成材料の分子構造が、リソグラフィより微細なパターンサイズと制御性を提供する DSA は、魅力あるオプションに見える。

多くの技術手法あるにもかかわらず、産業界においては複数の技術に対し完全なインフラストラクチャ（露光装置、レジスト、マスク、およびメトロロジイ）を同時開発する資金には限界がある。産業界内部や産業界と大学間の密接で協調したグローバルな交流が、次世代のオプションを絞り込み、1 つもしくは 2 つの技術の必要時期までに完成に注力するため必要である。光以外のリソグラフィの導入は、DRAM32 nm ハーフピッチ以降においてもムーアの法則を引き続き堅持していく上で必要となる技術的要求と複雑さに答えるための大きなパラダイムシフトである。それはリソグラフィのインフラストラクチャを大きく変化させ、商業化のために大きなリソースを必要とするであろう。これらの開発コストは露光装置、マスク、および材料の費用で回収されなければならない。



Notes: RET and lithography friendly design rules will be used with all optical lithography solutions, including with immersion; therefore, they are not explicitly noted.

Figure LITH5

Lithography Exposure Tool Potential Solutions

クロスカットニーズと技術課題解決策

本章では、Lithography、ESH、Factory Integration、Yield Enhancement、Metrology、Modeling and Simulation、Device and Circuit performance および Emerging Research Devices と Emerging Research Materials を包含したクロスカット技術ニーズおよび解決策候補を概説する。

環境、安全、および健康 (ESH)

光化学物質に含まれる Perfluoroalkyl sulfonates(PFAS)の継続的な使用に関わる最新の議論は、つい最近になって、長期および一般的に使用された材料は、ESH に関わる課題を抱えている可能性があるとして理解されていると纏めました。新しい技術の導入は、健康および環境に対する負荷がさほど良く知られていない材料および化学物質の利用を必然的に意味しています。ナノパーティクルの導入にあたっては、生命体と同等かそれ以下のサイズの物質の ESH としての影響の重大性に、注意深い配慮も必要であろう。同様に、EUV リソグラフィの高いスループットを実現するために要求される光源出力を提供するためのこれらの光源を動作させる工場の付帯設備と電源を最小にするために、EUV 光源の発光効率は、最大化が必要である。特に、EUV 光の励起および光源部品の冷却に必要なパワーの最小化のために、光源の配電(wall-plug)効率が、増されることが必要である。リソグラフィで用いられる化学薬品の使用および処分の慣習は、労働者の安全と環境に注意深い関わりを持って継続しなければならない。包括的な情報および新規化学物質のスクリーニングツール(化学薬品制限表)へのリンクに関しては、環境・安全および健康の章を参照してください。

工場統合 (FACTORY INTEGRATION)

適切なプロセス制御を維持するために、高度なプロセス制御能力は、ウェーハファブのリソクラスターにおいて不可欠である。同様に、これらの能力はマスク製作設備(ライン)においてますます重要になっているが、マスク製作のためのそれらのインプリメンテーションは、さほど成熟していない。ウェーハファクトリーオートメーションの経験からの学習成果を利用するのも不可欠であろう。いくつかのマスクショップは、欠陥検査・修正のためのデータハンドリングを自動化するために自前の解決策を開発しました。自動化のさらなる機会が存在しています。今日、ウェーハファブで使用される SECS/GEM のような既存の標準のマスク製造装置インフラへの使用が、製造エラーの低減を支援するでしょう。

各種プロセスモジュールを横断する正確なウェーハトラッキングシステムは、プロセスの、任意のウェーハの、ワーキングフローの識別のために要求されます。CD、リソ膜(Litho stack)の膜厚、目標プロファイル、オーバーレイ、欠陥自動分類を備えたマクロ検査およびウェーハ平坦度のひとつあるいはそれ以上のパラメータの評価を可能にするいくつかの統合(Integrated)計測モジュールは、同様に、推奨されます。トラックとステッパー/スキャナーは、プロセスを調整するための内部あるいは外部のセンサーのどんな種類によっても記録されたデータを使用することが可能であるに違いありません。

設備ソフトの主たる改良、およびいくつかの場合において、関連するハードウェアの改良で求めるかもしれない他の要求事項は、同時に異なるトラックのモジュールのフローの管理を行う能力、および、最適の計測サンプリングプランとダウンロードされた、あるいは、選択されたレシピセットポイントへの重ねを受け付ける機能を提供することです。さらには、どんなトラックモジュールにおいても、同一のロットの中においてさえウェーハごとに適切なセットポイントを全て更新できることが望ましい。露光装置においては、ソフトウェアが露光量(Dose)、焦点(Focus)、傾斜(Tilt)およびオーバーレイの入力パラメータをウェーハごとにホストに従って更新すべきである。計測モジュールのキャリブレーション、自己キャリブレーションおよびマッチングは、リソセルのスループットの大きな損失無しで行われるべきである。

歩留り向上 (YIELD ENHANCEMENT)

致命欠陥のサイズが、光学方式の検出限界よりも小さくなるに伴って、歩留り向上が、主要な挑戦になると予想される。検査装置は、感度とスピードの要求に合致するよう、ますます挑戦を促される。非光学方式の欠陥検査は、いまだ、半導体製造で欠陥制御に求められる欠陥検出率を有していることをデモンストレ

ーションできていない。さらに、ML2 を用いるためには、ウェーハの Die-to-Database 検査が、たぶん必要である。

歩留り損失の系統的な原因を最小化するために DFM の実践が展開されており、さらなる開発がなされる必要があります。さらに、局所的なレジストの活性抑制の最小化、露光中、マスク上におこる成長性欠陥の形成の最小化によって歩留りの最大化を得るために、雰囲気中分子汚染(AMC)の制御が重要である。リソグラフィに関連する AMC 制御の要求値は、Yield Enhancement の章を参照してください。ペリクル無しで、EUV マスクおよびインプリントテンプレートに欠陥無しに保つためのマスクハンドリング方法は、依然として重要な挑戦のままで残っている。

計測 (METROLOGY)

リソグラフィ技術の急速な進展と、結果として生じる図形サイズの減少は、ウェーハとマスクの計測能力に挑戦し続ける。既存の CD 計測装置の精度は、多少緩和されている 20%というもっとも進んだ技術世代に対する精度許容測定基準に合致しない。精度には、短期あるいは長期の装置変動から来る変動のみならず、装置間のマッチングも変動として含まれる。ウェーハおよびマスクの CD 技術は、3D 計測のニーズに合致すべく発展している。重要な要求は、LWR 測定です。LWR の測定精度は、線幅測定に要求されるものより小さい(良い)はずです。LWR 測定を最適化するために、デバイス性能への LWR の量的な影響が、一層良く理解される必要があります。

将来の技術世代によりオーバーレイ計測もまた挑戦をうけます。メモリーメーカーは希望のデバイス歩留りを得るためにより厳格なオーバーレイ制御を要求しています。従来のオーバーレイ評価構造は、位相シフトおよび OPC マスクの使用によって発生する可能性がある全てのオーバーレイエラーは捕捉しない。予測される DE/DP 技術の利用は、最終パターンを合成する二つのマスク間のアライメントの程度を十分に保証するために、より高精度なアライメントを必要としている。

リソグラフィ計測の完全な議論は、計測の章のリソグラフィ計測および顕微鏡のセクションにあります。リソグラフィ計測技術要求および潜在的な解決策は、同様にその章の中で示されています。

モデリング・シミュレーション (MODELING AND SIMULATION)

モデリングとシミュレーションからのサポートは、伝統的な光学リソグラフィの限界を引き延ばし、新たな次世代リソグラフィ技術を判断するために必要である。リソグラフィにおけるシミュレーションツールのアプリケーションは、リソグラフィイメージングを支配するマックスウェル方程式の良く知られた物理的な基礎から大部分の利益を得ている。これらの式をリソグラフィイメージングのモデリングに適用するためには、問題に特化し、効率的なシミュレーションツールへのインプリメンテーション(実装)を要求します。更に、デバイス規模と図形規模のシミュレーションとの間の緊密なリンクが最先端のリソグラフィシミュレーションに必要である。デバイス規模の影響は、しばしば、ユーザーが定義した、あるいは、ユーザーが測定した分布確率によって与えられたランダム変数を用いてのモデリングを要求します。

シミュレーションプログラムには、EUV リソグラフィのための多層膜ミラーによるレンズの置き換え、反射型マスクの使用といった将来の次世代リソグラフィ技術で用いられる新しい技術が適切にモデル化され、含められなければならない。マスクパターン描画装置といくつかの ML2 オプションが電子での画像形成を含んでいる。統計確率的な空間電荷効果、形状収差および磁気あるいは静電レンズ要素を採用する電子光学レンズ設計性能のシミュレーションが必要である。技術選択を絞り込むためのシミュレーションからのサポートは、今までと同様、重要であり続けるだろう。

今日の液浸リソグラフィの導入に伴い、モデリングとシミュレーションに対するいくつかの新規の要求に結びつきます。NA1.20 を超える光学システムをシミュレーションしなければならない、特に、偏光照明とマスク構造および材料による部分偏光を適切に扱うことが要求されます。液浸液中で気泡により特定の欠陥が生じるか否かの判断をシミュレーションが助けるべきである。

リソグラフィモデリングおよびシミュレーションのための特定の挑戦は、広範囲のイメージングおよびプロセス条件に関する最先端技術のフォトレジストの振る舞いを正確に予測することです。これらについては、

LER といった影響を含めて、三次元で現像後のレジスト形状およびプロセスウインドウを予測するために、より良い物理的/化学的なモデルを開発していなければなりません。モデルを開発したり、市販ツールに載せられているモデルをカスタマイズしたりするために、課題の中でフォトレジストの適切な表現を行う改良されたキャリブレーション技術が要求されます。キャリブレーションは、例えば、CD 計測のように、明らかに入力データの質に依存します。したがって、計測エラーのより良い理解と評価が必要です。系統誤差は CD-SEM のように計測ツールのモデルを用いて扱われるべきです。LWR および LER の重要性の増加に伴い、リソグラフィシミュレーションは、それらのデバイス影響と配線性能(LER)と変動(LWR)の評価に寄与する必要があります。レジストパターンで無くエッチング後の形状のラフネスがデバイス性能に最終的に影響するため、親密なレジストとエッチングのシミュレーションの組み合わせが不可欠である。マスク製造のリソグラフィ工程の結果しばしば発生する理想的でないマスクエッジの形状の予測を行うためにも、エッチングのシミュレーションとの緊密なリンクが確立されなければならない。

リソグラフィモデリングとシミュレーションに対する特定の要求は、広い領域のシミュレーションを許容する、および/あるいは、物理的なパラメータあるいはレイアウトの変数の複数のシミュレーション研究を遂行するといった非常に効率的なシミュレーションツールの必要性です。實際上、高価なマスクが、エラーを伴って、あるいは、ただ最低限の性能を持つだけで補正され製造されることを避けるために、今、OPC と位相の割り当てデータの検証に、フルチップレイアウトのリソグラフィシミュレーションが必要です。これらのシミュレーションは合理的に正確で合理的な時間で全レイアウトを評価するために、高速で実行するに違いありません。

リソグラフィプロセスにおける像形成およびレジストプロファイル生成のモデルに加えて、リソグラフィツールの設計のために機械的なモデルが重要である。有限要素法の洗練および適用は、露光装置、マスクおよびウェーハがオーバーレイの要求仕様に合致するに十分に安定していることを保証するために重要です。レンズの取り付け安定性、ステージの安定性、さらに、露光装置のハードウェア設計に関わる静的および動的機械モデルは重要です。静的および動的機械モデルは、また、高い加速度値のもとでステージを必要な位置に維持し、必要とされる平坦度を維持するマスクおよびウェーハの適切な取り付け方法を設計するのに重要である。熱の影響の平衡および非平衡モデルも露光装置の設計に不可欠であり、特に、液浸リソグラフィにおける液浸液の加熱およびその歪と収差への影響のモデルに不可欠である。液浸のための液の流体モデルもまた液浸特有の欠陥形成を最小にする液体供給システムの設計において不可欠である。これらの要求を満足するために必要である開発にかかわる詳細は、Modeling と Simulation の章で与えられる。

ITWG 間に共通する議論

ゲート CD と LWR 制御能力は、デバイスに影響する(ITRS2007 の Process Integration, Devices, and Structures [PIDS], Front-End Process[FEP], 計測[Metrology]そしてデザイン[Design]の章を参照)。可能な CD 制御のレベルによって、トランジスタ性能に影響を与えるイオン注入、拡散およびエッチングなどの他のプロセスへの厳しい要求の増減が生じる。厳しい CD 制御は計測に制御要求をサポートする能力を要求する。デザインは、トランジスタ性能に影響を与える全てのプロセスの総体の能力を考慮に入れる必要がある。デザイン TWG は、最も重要なプロセスとデバイスの変数の関数として、回路の遅延と消費電力の変動性をシミュレーションした。シミュレーションは、 $\pm 12\%$ への CD 制御要求の緩和が、これら回路属性に影響する全ての重要なパラメータの重要な変動により与えられる回路遅延と消費電力が許容できる変動に入る結果を示した。

将来出現する研究デバイスおよび材料

エマージングデバイスが少なくとも 3 つの領域でリソグラフィに影響力をあたえると予想される。最初に、提案された多くの新しい素子が平坦でない基板上でのクリティカル層のパターニングを要求し、非平面上での厳しい線幅制御を達成するリソグラフィの解を求める。例えば二層レジストはこの問題の解決策となっている。大きな焦点深度は信頼できるリソグラフィ技術として説得力のある長所となるかもしれない。二番目にエマージングデバイスと材料はゲート CD 制御を軽減するかも知れない。これは、マスク、レジスト、露光装置および計測のすべてのリソグラフィ関連技術に衝撃を与えるであろう。他のクロスカット検討の候補領域は、DSA 分子や、超高 NA 値の実現により、究極の 193 nm 時代への延命を図る水の屈折率を増すために用いられるナノパーティクルといった Litho-Friendly (「リソ親和」)材料の開発です。